

PACT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
 US Department of Commerce
 United States Patent and Trademark
 Office, PCT
 2011 South Clark Place Room
 CP2/5C24
 Arlington, VA 22202
 ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing (day/month/year) 14 February 2001 (14.02.01)	
International application No. PCT/JP00/03884	Applicant's or agent's file reference M00-R-088CT1
International filing date (day/month/year) 14 June 2000 (14.06.00)	Priority date (day/month/year) 16 June 1999 (16.06.99)
Applicant HIRATA, Kyoko et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:
 11 January 2001 (11.01.01)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer R. Forax Telephone No.: (41-22) 338.83.38
---	--



P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
[P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号 M00-R-088CT1	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。		
国際出願番号 P C T / J P 0 0 / 0 3 8 8 4	国際出願日 (日.月.年) 14.06.00	優先日 (日.月.年) 16.06.99	
出願人 (氏名又は名称) 松下電器産業株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/861

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/861

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	US, 5936265, A (Kabushiki Kaisha Toshiba) 8.10月.1999 (08.10.99) 要約, 第6A-6B図 要約, 第6A-6B図 & JP, 09-260690, A, 要約, 図1	1, 3, 4, 6, 7 13
Y	EP, 0367446, A1 (Canon Kabushiki Kaisha) 9.5月.1990 (09.05.90) 第7欄第25-37行, 図7 & JP, 02-111077, A, 第4頁右上欄第6-14行, 第6図 & US, 5034782, A & US, 5571747, A & US, 5572044, A & EP, 367446, B1 & DE, 68928913, E	1-5, 9, 11-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

12.09.00

国際調査報告の発送日

26.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤



4L

9544

電話番号 03-3581-1101 内線 6718

C (続き): 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 08-167614, A(富士電機株式会社) 25. 6月. 1996(25. 06. 96) 図 1 (ファミリーなし)	1-5, 9, 11-13
X	JP, 05-218056, A(シャープ株式会社) 27. 8月. 1993(27. 08. 93) 【実施例】, 図 1-2 (ファミリーなし)	8-11
Y	JP, 7-130895, A(株式会社東芝) 19. 5月. 1995(19. 05. 95) 【0002】 (ファミリーなし)	13
Y	JP, 10-335678, A (ソニー株式会社) 18. 12月. 1998(18. 12. 98) 【0002】 - 【0003】 (ファミリーなし)	13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03884

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/861

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/861

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US, 5936265, A (Kabushiki Kaisha Toshiba), 08 October, 1999 (08.10.99), abstract; Figs. 6A-6B abstract; Figs. 6A-6B & JP, 09-260690, A abstract; Fig. 1	1, 3, 4, 6, 7 13
Y	EP, 0367446, A1 (Canon Kabushiki Kaisha), 09 May, 1990 (09.05.90), Column 7, lines 25 to 37; Fig. 7 & JP, 02-111077, A page 4, upper right column, lines 6 to 14; Fig. 6 & US, 5034782, A & US, 5571747, A & US, 5572044, A & EP, 367446, B1 & DE, 68928913, E	1-5, 9, 11-13
Y	JP, 08-167614, A (Fuji Electric Co., Ltd.), 25 June, 1996 (25.06.96), Fig. 1 (Family: none)	1-5, 9, 11-13
X	JP, 05-218056, A (Sharp Corporation), 27 August, 1993 (27.08.93),	8-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 September, 2000 (12.09.00)

Date of mailing of the international search report
26 September, 2000 (26.09.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03884

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	example; Figs. 1 to 2 (Family: none)	
Y	JP, 7-130895, A (Toshiba Corporation), 19 May, 1995 (19.05.95), Par. No. [0002] (Family: none)	13
Y	JP, 10-335678, A (Sony Corporation), 18 December, 1998 (18.12.98), Par. Nos. [0002] to [0003] (Family: none)	13

特 許 協 力 条 約


PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 M00-R-088CT1	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JP00/03884	国際出願日 (日.月.年) 14.06.00	優先日 (日.月.年) 16.06.99
国際特許分類(IPC) Int. Cl ⁷ H01L29/861		
出願人(氏名又は名称) 松下電器産業株式会社		

- 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。
☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で ページである。
- この国際予備審査報告は、次の内容を含む。
 - ☒ 国際予備審査報告の基礎
 - ☐ 優先権
 - ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - ☐ 発明の単一性の欠如
 - ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - ☐ ある種の引用文献
 - ☐ 国際出願の不備
 - ☒ 国際出願に対する意見

国際予備審査の請求書を受理した日 11.01.01	国際予備審査報告を作成した日 13.07.01	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 市川 篤 	4L 9544
電話番号 03-3581-1101 内線 3407		

様式PCT/IPEA/409(表紙)(1998年7月)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 _____ ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 _____ 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの
- ☐ 図面 第 _____ ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1-13	有
	請求の範囲		無
進歩性 (IS)	請求の範囲		有
	請求の範囲	1-13	無
産業上の利用可能性 (IA)	請求の範囲	1-13	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

請求の範囲 1, 3, 4, 6, 7

文献1: US, 5936265, A (Kabushiki Kaisha Toshiba) 8.10月. 1999 (08.10.99)

要約, 第6A-6B図 & JP, 09-260690, A, 要約, 図1

には、半導体基板内に形成された第1導電型の半導体領域及び第2導電型の半導体領域、そして、その間のゲート電極とを構成要素に持つ、トンネルダイオードが記載されている。

文献1で、半導体基板については導電型に関する記載がなされていないが、一方で、請求の範囲1においても半導体基板のドーピング濃度の規定する記載は一切ない。したがって、極微量なドーピング濃度の半導体基板を用いた半導体装置であっても、請求の範囲1に記載された半導体装置となりうる。導電型に関して特に言及のない文献1記載の半導体基板を、僅かながらでも何らかの導電型を示す半導体基板とすることは、当該技術分野の専門家にとっては自明のものである。また、請求の範囲3, 4, 6, 7における限定事項についても、文献1に記載された技術内容と明確に相違するものとは認められない。

なお、請求の範囲3に記載された寸法に関する規定はかなり抽象的であり、文献1に記載されたトンネルダイオードについて、通常行われているごとく単純に微細化した場合であっても、その規定の範囲内に入りうるものと認められる。

請求の範囲 1-5, 9, 11-12

文献2: EP, 0367446, A1 (Canon Kabushiki kaisha) 9.5月. 1990 (09.05.90)

第7欄第25-37行, 図7

& JP, 02-111077, A, 第4頁右上欄第6-14行, 第6図

には、千鳥模様にアノードとカソードに相当する領域を配置することで、得られる電流値を増大させた整流素子が記載されている。

文献3: JP, 08-167614, A (富士電機株式会社) 25.6月. 1996 (25.06.96) 図1

に記載されたダイオードにおいて、文献2で示唆されているような上記効果を得るため、アノードとカソードの配置を千鳥模様とする程度の工夫は、当該技術分野の専門家にとっては自明のものである。

Ⅷ. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

1. 請求の範囲 1 に記載された半導体装置は、明細書に記載された従来技術と比較して、顕著な効果をもたらす構造上の差異が出ているものとは認められず、請求の範囲 1 を引用した各請求の範囲も含め、発明の技術的意義が不明瞭になっている。
2. 請求の範囲 1 1 に記載された「第 1 導電体型」は、意味が不明瞭である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V.2 欄の続き

請求の範囲 1, 8-11

文献 4 : JP, 05-218056, A (シャープ株式会社) 27. 8月. 1993 (27. 08. 93)

【実施例】、図 1-2

に記載されたバイポーラトランジスタにおいて、ベース電極のコンタクト部の不純物濃度を他のベース領域より高くし、ベース領域とは別の領域として見なせる構造とする程度の設計変更は、当該技術分野の専門家にとっては自明のものである。

なお、明細書の実施の形態 3 の記載からみて、バイポーラトランジスタの形態をとる半導体装置も、当該請求の範囲の概念に含まれるものと認められる。

請求の範囲 13

文献 5 : JP, 7-130895, A (株式会社東芝) 19. 5月. 1995 (19. 05. 95) 【0002】

には、BiCMOS 集積回路がアナログ-デジタル混載分野に利用されることが示唆されており、

文献 6 : JP, 10-335678, A (ソニー株式会社) 18. 12月. 1998 (18. 12. 98)

【0002】-【0003】

には、CMOS プロセスによるダイオードごとき集積回路中のバイポーラ素子の作り込みについて示唆がされている。

文献 1 または 3 に記載された半導体装置を集積回路の一部に適用し、文献 5 及び文献 6 に記載されているような用途、製造方法を採用して、請求の範囲 13 のような構成を得る程度の設計変更は、当該技術分野の専門家にとっては自明のものである。



予備審査請求は管轄国際予備審査機関へ直接行わなければならない。

IPEA/JP

特許協力条約に基づく国際出願

第 II 章

国際予備審査請求書

出願人は、次の国際出願が特許協力条約に従って国際予備審査の対象とされることを請求し、
選択資格のある全ての国を選択する。ただし、特段の表示がある場合を除く。

国際予備審査機関記入欄		
国際予備審査機関の確認		請求書の受理の日
第 I 欄 国際出願の表示		出願人又は代理人の書類記号 M00-R-088CT1
国際出願番号 PCT/JP00/03884	国際出願日(日・月・年) 14.06.00	優先日(最先のもの)(日・月・年) 16.06.99
発明の名称) 半導体装置		
第 II 欄 出願人		
氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載) 松下電器産業株式会社 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. 〒571-8501 日本国大阪府門真市大字門真1006番地 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan		電話番号: 06-6908-1473 ファクシミリ番号: 06-6909-0053 加入電信番号:
国籍(国名): 日本国 JAPAN	住所(国名): 日本国 JAPAN	
氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)) 平田 恭子 HIRATA Kyoko 〒567-0843 日本国大阪府茨木市星見町17-15-502 17-15-502, Hoshimi-cho, Ibaraki-shi, Osaka 567-0843 Japan		
国籍(国名): 日本国 JAPAN	住所(国名): 日本国 JAPAN	
氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載) 下村 浩 SHIMOMURA Hiroshi 〒573-0018 日本国大阪府枚方市桜丘町45-2-1007 45-2-1007, Sakuragaoka-cho, Hirakata-shi, Osaka 573-0018 Japan		
国籍(国名): 日本国 JAPAN	住所(国名): 日本国 JAPAN	
<input type="checkbox"/> その他の出願人が続葉に記載されている。		



第 III 欄 代理人又は共通の代表者、通知のあて名

下記に記載された者は、☒ 代理人 又は ☐ 共通の代表者 として

☒ 既に選任された者であって、国際予備審査についても出願人を代理する者である。

☐ 今回新たに選任された者である。先に選任されていた代理人又は共通の代表者は解任された。

☐ 既に選任された代理人又は共通の代表者に加えて、特に国際予備審査機関に対する手続きのために、今回新たに選任された者である。

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

電話番号:

06-6445-2128

7 7 9 3 弁理士 前田 弘 MAEDA Hiroshi
9 4 1 3 弁理士 小山 廣毅 KOYAMA Hiroki

ファクシミリ番号:

06-6445-2649

〒550-0004 日本国大阪府大阪市西区鞆本町1丁目4番8号 太平ビル

Taihei Bldg., 4-8, Utsubohonmachi 1-chome, Nishi-ku, Osaka-shi,
Osaka 550-0004 Japan

加入電話番号:

☐ 通知のためのあて名:代理人又は共通の代表者が選任されておらず、上記枠内に特に通知が送付されるあて名を記載している場合は、レ印を付す

第 IV 欄 国際予備審査に対する基本事項

補正に関する記述: *

1. 出願人は、次のものを基礎として国際予備審査を開始することを希望する。

☒ 出願時の国際出願を基礎とすること。

☐ 明細書に関して

☐ 出願時のものを基礎とすること。

☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。

☐ 請求の範囲に関して

☐ 出願時のものを基礎とすること。

☐ 特許協力条約第19条の規定に基づいてなされた補正(添付した説明書も含む)を基礎とすること。

☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。

☐ 図面に関して

☐ 出願時のものを基礎とすること。

☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。

2. ☐ 出願人は、特許協力条約第19条の規定に基づく請求の範囲について行った補正を無視し、かつ、取り消されたものとみなして開始することを希望する。

3. ☐ 出願人は、国際予備審査の開始が優先日から20月経過まで延期されることを希望する(ただし、国際予備審査機関が、特許協力条約第19条の規定に基づき行われた補正書の写しの受領、又は当該補正を希望しない旨の出願人からの通知を受領した場合を除く(規則 69.1(d))。 (この口は、特許協力条約第19条の規定に基づく期間が満了していない場合にのみレ印を付すことができる。)

*記入がない場合は、1)補正がないか又は国際予備審査機関が補正(原本又は写し)を受領していないときは、出願時の国際出願を基礎に予備審査が開始され、2)国際予備審査機関が、見解書又は予備審査報告書の作成開始前に補正(原本又は写し)を受領したときは、これらの補正を考慮して予備審査が開始又は続行される。

国際予備審査を行うための言語は 日本語 であり、

☒ 国際出願の提出時の言語である。

☐ 国際調査のために提出した翻訳文の言語である。

☐ 国際出願の公開の言語である。

☐ 国際予備審査の目的のために提出した翻訳文の言語である。

第 V 欄 国の選択

出願人は、選択資格のある全ての指定国(即ち、既に出願人によって指定されており、かつ特許協力条約第II章に拘束されている国)を選択する。

ただし、出願人は次の国の選択を希望しない:

第VI欄 照合欄

この国際予備審査請求書には、国際予備審査のために、第IVに記載する言語による書類が添付されている。

国際予備審査機関記入欄

		受 領	未受領
1. 国際出願の翻訳文	枚	<input type="checkbox"/>	<input type="checkbox"/>
2. 特許協力条約第34条の規定に基づく補正書	枚	<input type="checkbox"/>	<input type="checkbox"/>
3. 特許協力条約第19条の規定に基づく補正書 (又は、要求された場合は翻訳文)の写し	枚	<input type="checkbox"/>	<input type="checkbox"/>
4. 特許協力条約第19条の規定に基づく説明書 (又は、要求された場合は翻訳文)の写し	枚	<input type="checkbox"/>	<input type="checkbox"/>
5. 書簡	枚	<input type="checkbox"/>	<input type="checkbox"/>
6. その他(書類名を具体的に記載する):	枚	<input type="checkbox"/>	<input type="checkbox"/>

この国際予備審査請求書には、さらに下記の書類が添付されている。

- | | |
|---|---|
| 1. <input checked="" type="checkbox"/> 手数料計算用紙 | 3. <input type="checkbox"/> 包括委任状の写し |
| <input checked="" type="checkbox"/> 納付する手数料に相当する特許印紙を貼付した書面 | 4. <input type="checkbox"/> 記名押印(署名)に関する説明書 |
| <input checked="" type="checkbox"/> 国際事務局の口座への振込を証明する書面 | 5. <input type="checkbox"/> スクレオチド又はアミノ酸配列表
(フレキシブルディスク) |
| 2. <input type="checkbox"/> 別個の記名押印された委任状 | 6. <input type="checkbox"/> その他(書類名を具体的に記載する): |

第VII欄 提出者の記名押印

各人の氏名(名称)を記載し、その次に押印する。

前 田 弘



国際予備審査機関記入欄

- 国際予備審査請求書の実際の受理の日
- 規則60.1(b)の規定による国際予備審査請求書の受理の日の訂正後の日付
- ☐ 優先日から19月を経過後の国際予備審査請求書の受理。ただし、以下の4,5の項目にはあてはまらない。 ☐ 出願人に通知した。
- ☐ 規則80.5により延長が認められている優先日から19月の期間内の国際予備審査請求書の受理
- ☐ 優先日から19月を経過後の国際予備審査請求書の受理であるが規則82により認められる。

国際事務局記入欄

国際予備審査請求書の国際予備審査機関からの受領の日:

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
 Taihei Bldg
 4-8, Usubohonmachi 1-chome
 Nishi-ku
 Osaka-shi
 Osaka 550-0004
 JAPON

RECEIVED

JUL. 2 8. 2000

MAEDA PATENT OFFICE

Date of mailing (day/month/year) 18 July 2000 (18.07.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference M00-R-088CT1	International application No. PCT/JP00/03884

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. (for all designated States except US)
 HIRATA, Kyoko et al (for US)

International filing date : 14 June 2000 (14.06.00)
 Priority date(s) claimed : 16 June 1999 (16.06.99)
 Date of receipt of the record copy
 by the International Bureau : 30 June 2000 (30.06.00)
 List of designated Offices :

National : JP, KR, US

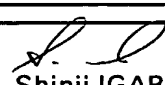
ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
☒ confirmation of precautionary designations
☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Capucines 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer:  Shinji IGARASHI Telephone No. (41-22) 338.83.38
--	--

RECEIVED

OCT. 20. 2000

MAEDA PATENT OFFICE**PATENT COOPERATION TREATY****PCT**

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
 Taihei Bldg
 4-8, Utsubohonmachi 1-chome
 Nishi-ku
 Osaka-shi
 Osaka 550-0004
 JAPON

**NOTIFICATION CONCERNING
 SUBMISSION OR TRANSMITTAL
 OF PRIORITY DOCUMENT**

(PCT Administrative Instructions, Section 411)

Date of mailing (day/month/year) 10 October 2000 (10.10.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference M00-R-088CT1	
International application No. PCT/JP00/03884	International filing date (day/month/year) 14 June 2000 (14.06.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 16 June 1999 (16.06.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
16 June 1999 (16.06.99)	11/169251	JP	04 Augu 2000 (04.08.00)

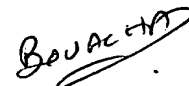
The International Bureau of WIPO
 34, chemin des Colombettes
 1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Magda BOUACHA

Telephone No. (41-22) 338.83.38



RECEIVED

JAN. 0 5. 2001

MAEDA PATENT OFFICE**PATENT COOPERATION TREATY****PCT**

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
Taihei Bldg
4-8, Utsubohonmachi 1-chome
Nishi-ku
Osaka-shi
Osaka 550-0004
JAPON**NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES**

(PCT Rule 47.1(c), first sentence)

Date of mailing (day/month/year) 21 December 2000 (21.12.00)		IMPORTANT NOTICE	
Applicant's or agent's file reference M00-R-088CT1			
International application No. PCT/JP00/03884	International filing date (day/month/year) 14 June 2000 (14.06.00)	Priority date (day/month/year) 16 June 1999 (16.06.99)	
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al			

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
JP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on
21 December 2000 (21.12.00) under No. WO 00/77859

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer J. Zahra Telephone No. (41-22) 338.83.38
--	---

RECEIVED

FEB. 23. 2001

MAEDA PATENT OFFICE**PATENT COOPERATION TREATY****PCT**

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
 Taihei Bldg
 4-8, Utsubohonmachi 1-chome
 Nishi-ku
 Osaka-shi
 Osaka 550-0004
 JAPON

**INFORMATION CONCERNING ELECTED
OFFICES NOTIFIED OF THEIR ELECTION**

(PCT Rule 61.3)

Date of mailing (day/month/year) 14 February 2001 (14.02.01)		
Applicant's or agent's file reference M00-R-088CT1		IMPORTANT INFORMATION
International application No. PCT/JP00/03884	International filing date (day/month/year) 14 June 2000 (14.06.00)	
		Priority date (day/month/year) 16 June 1999 (16.06.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. The applicant is hereby informed that the International Bureau has, according to Article 31(7), notified each of the following Offices of its election:

National :JP,KR,US

2. The following Offices have waived the requirement for the notification of their election; the notification will be sent to them by the International Bureau only upon their request:

None

3. The applicant is reminded that he must enter the "national phase" **before the expiration of 30 months from the priority date** before each of the Offices listed above. This must be done by paying the national fee(s) and furnishing, if prescribed, a translation of the international application (Article 39(1)(a)), as well as, where applicable, by furnishing a translation of any annexes of the international preliminary examination report (Article 36(3)(b) and Rule 74.1).

Some offices have fixed time limits expiring later than the above-mentioned time limit. For detailed information about the applicable time limits and the acts to be performed upon entry into the national phase before a particular Office, see Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer: R. Forax Telephone No. (41-22) 338.83.38
--	--

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000 年 12 月 21 日 (21.12.2000)

PCT

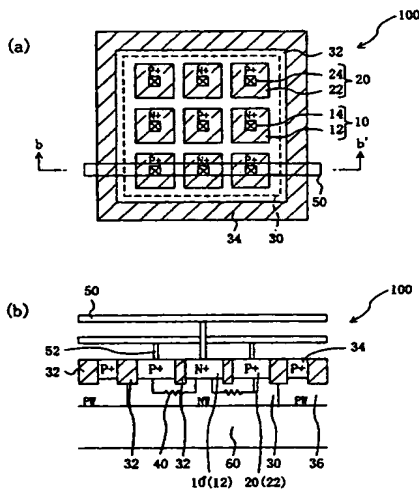
(10) 国際公開番号
WO 00/77859 A1

- (51) 国際特許分類⁷: H01L 29/861 (72) 発明者; および
(21) 国際出願番号: PCT/JP00/03884 (75) 発明者/出願人 (米国についてのみ): 平田 恭子 (HIRATA, Kyoko) [JP/JP]; 〒567-0843 大阪府茨木市星見町17-15-502 Osaka (JP). 下村 浩 (SHIMOMURA, Hiroshi) [JP/JP]; 〒573-0018 大阪府枚方市桜丘町45-2-1007 Osaka (JP).
(22) 国際出願日: 2000 年 6 月 14 日 (14.06.2000)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語 (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka (JP).
(30) 優先権データ: 特願平11/169251 1999 年 6 月 16 日 (16.06.1999) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP). (81) 指定国 (国内): JP, KR, US.
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprises a semiconductor layer (30) of a first conductivity type; a first unit cell (10) including a first semiconductor region (12) of the first conductivity type and a contact region (14), which are formed in the semiconductor layer (30); and a second unit cell (20) including a second semiconductor region (22) of a second conductivity type and a contact region (24), which are formed in the semiconductor layer (30). The first unit cell (10) and the second unit cell (20) cooperate to function as a diode element (100).

(57) 要約:

第 1 導電型の半導体層 30 と、半導体層 30 内に形成された第 1 導電型の第 1 半導体領域 12 とコンタクト領域 14 とを有する第 1 単位セル 10 と、半導体層 30 内に形成された第 2 導電型の第 2 半導体領域 22 とコンタクト領域 24 とを有する第 2 単位セル 20 とを備えた半導体装置である。第 1 単位セル 10 と第 2 単位セル 20 とは協働してダイオード素子 100 として機能する。

WO 00/77859 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置

技術分野

本発明は、半導体装置に関する。特に、高性能で占有面積が小さいダイオード素子を含む半導体装置に関する。

背景技術

近年、1チップソリューションに向けたシステムLSIの開発に伴って、CMOS回路（相補型電界トランジスタ回路）の製造プロセスによってアナログ回路を実現したアナログCMOS回路の重要性が高まっている。CMOSプロセスによるシステムLSIにおいては、アナログCMOS回路の性能によってそのLSIの性能が決定されることが多いため、高性能なアナログ回路の設計が非常に重要となる。高性能なアナログ回路を設計する場合、デジタル回路ブロックからの雑音や電源電圧のゆれなどの影響を極力排除するために、基準電圧回路や基準電流回路を設けることが必要となる。また、消費電力を削減するために、または、外部雑音から内部回路を保護する回路と内部回路との間の異なる電圧を互いに対応させるために、電圧変換回路などを設けることも必要となってくる。

高性能なアナログ回路を設計する上で必要となる基準電圧回路をツェナーダイオードによって構成した場合、電源電圧が高くなり、回路内に雑音が発生するという問題が生じる。このため、LSI内部では、ツェナーダイオードによる基準電圧回路ではなく、バンドギャップリファレンスを用いた基準電圧回路が利用されている。CMOS LSIの場合、製造コストの観点、および、デジタル回路ブロックと同一プロセスを用いて実現可能という観点から、MOSトランジスタのPN接合を利用したダイオードを含むバンドギャップリファレンス回路が用いられている。システムLSIにおけるアナログ回路の精度を向上させるためには、このダイオードを利用したバンドギャップリファレンス回路の精度をあげることが必要であり、そのためには優れた特性のダイオードを開発することが不可欠と

なる。

一方、LSIのチップ面積の縮小化が求められている中で、システムLSIのチップ面積の縮小も求められており、アナログ・デジタル混載LSIの微細化が進められている。しかし、微細化が比較的容易なデジタル回路部と異なり、アナログ回路部は、バラツキや温度依存性等を考慮しなければならないため、アナログ回路部の面積は小さくなりにくい。アナログ・デジタル混載LSIのチップ面積を削減するためには、アナログ回路部の面積をどれだけ削減できるかが重要なポイントとなる。従って、アナログ回路部に設けられるダイオード素子の占有面積を小さくすることが重要である。

本願発明者は、図15に示すようなダイオード素子1000の構成を検討した。図15(a)は、ダイオード素子1000の上面を模式的に示しており、図15(b)は、図15(a)のb-b'線に沿ったダイオード素子1000の断面を模式的に示している。

ダイオード素子1000は、CMOSプロセスを用いて比較的容易に作製可能な構造を有しており、Nウェル領域(NW)130の中央部に形成されたP⁺拡散領域122と、P⁺拡散領域122の外周を囲む素子分離領域酸化膜(素子分離用の酸化膜)132と、素子分離領域酸化膜132の外周を囲むN⁺拡散領域112とを有している。なお、Nウェル領域130の周囲にはPウェル領域(PW)136が形成されており、Pウェル領域(PW)136内には、N⁺拡散領域112の周囲に位置する素子分離領域酸化膜132を取り囲むようにP⁺拡散領域134が形成されている。

P⁺拡散領域122およびN⁺拡散領域112は、Nウェル領域130内に形成されており、P⁺拡散領域122とNウェル領域130との接合面においてPN接合が形成されるため、P⁺拡散領域122をアノードとし、N⁺拡散領域112をカソードとすることによって、ダイオードを構成することができる。ダイオード素子1000では、1個のダイオードを1対のPN接合で構成しているため、PN接合の面積(すなわち、P⁺拡散領域122の底面の面積)が大きいほど、ダイオード素子1000の電流能力は大きくなる。比較的電気抵抗の低いN⁺拡散領域112やP⁺拡散領域122と異なり、Nウェル領域130の電気抵抗は比較的高

いので、Nウェル領域130には寄生抵抗140が存在する。この寄生抵抗140は、P⁺拡散領域122の底面とNウェル領域130とのPN接合で構成されるダイオードに直列に接続される。このため、Nウェル領域130の寄生抵抗140は、ダイオードに電圧降下をもたらすので、その結果、ダイオード素子1000の電流能力を低下させてしまう。従って、所望の電流能力が得られるようにダイオード素子1000を設計する場合には、P⁺拡散領域122の底面面積を規定するP⁺拡散領域サイズ124と、寄生抵抗130の大きさを規定する距離（P⁺拡散領域122とN⁺拡散領域112との間の距離）114とを決定して、レイアウト設計を行うことになる。

しかしながら、ダイオード素子1000の電流能力を大きくしようと設計すると、Nウェル領域130の中央部に位置するP⁺拡散領域122のサイズを大きくしなければならないため、P⁺拡散領域122の中心部からN⁺拡散領域112までの距離が大きくなってしまう。その結果、Nウェル領域130の寄生抵抗140が大きくなる。寄生抵抗140は、ダイオード素子1000の電流能力を低下させるため、所望の電流能力を得ようとするとさらにP⁺拡散領域122のサイズを大きくする必要があり、結果としてチップ面積の縮小化を妨げてしまう。また、寄生抵抗140がダイオード素子1000の電流能力を低下させる現象は、ダイオード電流（ID）が大きくなればなるほど顕著に現れる。従って、一定のP⁺拡散領域サイズ124のダイオード素子1000に比較的多くの電流を流す場合には、この現象が特に問題となる。

本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、高性能で占有面積が小さいダイオード素子を含む半導体装置を提供することにある。

発明の開示

本発明による半導体装置は、第1導電型の半導体層と；前記第1導電型の半導体層内に形成された第1導電型の第1半導体領域と、前記第1半導体領域と配線とを電気的に接続するためのコンタクト領域とを有する少なくとも1個の第1単位セルと；前記第1導電型の半導体層内に形成された第2導電型の第2半導体領域と、前記第2半導体領域と配線とを電気的に接続するためのコンタクト領域と

を有する少なくとも 1 個の第 2 単位セルと；を備え、前記第 1 単位セルと前記第 2 単位セルとは協働してダイオード素子として機能する。

前記少なくとも 1 個の第 1 単位セルは、複数の第 1 単位セルであり、且つ、前記少なくとも 1 個の第 2 単位セルは、複数の第 2 単位セルであることが好ましい。

前記第 1 半導体領域および前記第 2 半導体領域のそれぞれの大きさを規定する寸法は、当該半導体装置のデザインルールにおいて許容される最小の寸法と実質的に同じであることが好ましい。

法線方向から見た前記第 1 半導体領域および前記第 2 半導体領域のそれぞれの形状は略正方形であることが好ましい。

前記第 1 単位セルおよび前記第 2 単位セルは、前記第 1 導電型の半導体層内において市松模様に配列されていることが好ましい。

ある実施形態では、前記第 1 単位セルと前記第 2 単位セルとは、前記ウェル領域内において互いに所定間隔を設けて配列されており、前記第 1 導電型の半導体層内における前記第 1 単位セルと前記第 2 単位セルとの間に位置するセル間領域上には、少なくとも前記セル領域上に形成された絶縁層と前記絶縁層上に形成された導電層とを有するゲート電極構造が形成されている。

ある実施形態では、ゲート電極構造に電氣的に接続されたゲート配線をさらに有する。

ある実施形態では、1 個の前記第 1 単位セルの前記第 1 半導体領域内に複数の前記第 2 単位セルが形成されている。

ある実施形態では、さらに第 2 導電型の半導体層を有し、前記第 1 導電型の半導体層は、前記第 2 導電型の半導体層上に形成されている。

ある実施形態では、前記第 1 導電型の半導体層内に形成された前記第 1 単位セルがベースとされ、前記第 2 単位セルがエミッタとされ、且つ、前記第 2 導電型の半導体層がコレクタとされる。

ある実施形態では、前記第 2 導電型の半導体層は、半導体基板であり、前記第 1 導電型の半導体層は、前記半導体基板内に形成されたウェル領域である。

ある実施形態では、前記第 1 導電型の半導体層は、絶縁層上に形成されている。

ある実施形態では、さらにアナログ回路部とデジタル回路部とを有しており、

前記ダイオード素子はアナログ回路部に形成されており、且つ、前記アナログ回路部および前記デジタル回路部は、CMOSプロセスによって作製されている。

本発明によると、第1単位セルと第2単位セルとを備えており、第1単位セルと第2単位セルとによってダイオード素子が構成されている。このため、第1単位セルの第1導電型の第1半導体領域と、第2単位セルの第2導電型の第2半導体領域とを近接して配置させることができるので、アノード・カソード間距離を短縮することができる。その結果、第1導電型の半導体層の寄生抵抗を削減することができるため、高性能で占有面積が小さいダイオード素子を含む半導体装置を提供することが可能となる。複数の第1単位セルと複数の第2単位セルが設けられている場合には、PN接合面積を増やしてダイオード素子の電流能力を大きくすることができる。

また、第1半導体領域および第2半導体領域のそれぞれの大きさを規定する寸法がデザインルールにおいて許容される最小の寸法と実質的に同じである場合には、アノード・カソード間距離をより効果的に短縮することができるため、寄生抵抗を効果的に削減することができる。さらには、ダイオード素子のサイズを最小にすることができ、その結果、半導体装置のチップ面積を削減することが可能となる。第1半導体領域および第2半導体領域のそれぞれの形状が略正方形であると、所定のデザインルールにおいて最も効率良く第1単位セルと第2単位セルとを配列させることが可能となる。また、第1単位セルおよび第2単位セルが市松模様に配列されていると、さらに効果的に第1導電型の半導体層の寄生抵抗を削減することができる。

第1単位セルと第2単位セルとの間に位置するセル間領域上にゲート電極構造が形成されている場合には、第1単位セルと第2単位セルとの間に素子分離領域酸化膜を設ける必要がないため、第2単位セルの外周面もPN接合面として使用することが可能となる。このため、ダイオード素子の素子面積を増加させることなく、PN接合面積をさらに増大させることができる。ゲート電極構造と電氣的に接続されるゲート配線がさらに形成された場合、ゲート配線に独立した電圧を印加することによって、ダイオード素子の特性を変化させることが可能となる。

1個の第1単位セルの第1半導体領域内に複数の第2単位セルが形成された構

成の場合でも、アノード・カソード間距離を短縮することができるため、第1導電型の半導体層の寄生抵抗を削減することが可能となる。第1導電型の半導体層は、例えば、第2導電型の半導体層上に形成されている。この構成の場合、第1単位セルをベースとし、第2単位セルをエミッタとし、そして第2導電型の半導体層をコレクタとすれば、第1単位セルおよび第2単位セルを用いてバイポーラトランジスタ素子を構成することができる。この構成においても、第1導電型の半導体層の寄生抵抗は削減されているので、電流能力が向上されたバイポーラトランジスタ素子を提供することが可能となる。第1導電型の半導体層は、半導体基板に形成されたウェル領域とすることができる。また、第1導電型の半導体層は、絶縁層（または絶縁基板）上に形成されていてもよい。第1単位セルと第2単位セルとによって構成されたダイオード素子は、例えば、アナログ回路部に形成されており、CMOSプロセスを用いて作製可能な構成を有していることが好適である。

図面の簡単な説明

図1(a)は、実施形態1にかかる半導体装置に含まれるダイオード素子100の上面を模式的に示しており、図1(b)は、図1(a)のb-b'線に沿ったダイオード素子100の断面を模式的に示している。

図2(a)から(e)は、ダイオード素子100の作製方法を説明するための工程断面図である。

図3(a)は、実施形態1にかかる半導体装置に含まれるダイオード素子200の上面を模式的に示しており、図3(b)は、図3(a)のb-b'線に沿ったダイオード素子200の断面を模式的に示している。

図4(a)から(f)は、ダイオード素子200の作製方法を説明するための工程断面図である。

図5は、ダイオードの電圧－電流特性を得るための回路図である。

図6は、図5に示した回路を用いて測定を行ったダイオードの電圧－電流特性の結果を示すグラフである。

図7は、図6のグラフにおける印加電圧が0.7V付近の部分を拡大したグラ

フである。

図 8 は、図 6 のグラフにおける印加電圧 0.6 V ~ 1.0 V の範囲を表したグラフである。

図 9 (a) は、実施形態 2 にかかる半導体装置に含まれるダイオード素子 300 の上面を模式的に示しており、図 9 (b) は、図 9 (a) の b-b' 線に沿ったダイオード素子 300 の断面を模式的に示している。

図 10 (a) から (f) は、ダイオード素子 300 の作製方法を説明するための工程断面図である。

図 11 (a) は、実施形態 3 にかかる半導体装置に含まれるバイポーラトランジスタ素子 400 の上面を模式的に示しており、図 11 (b) は、図 11 (a) の b-b' 線に沿ったバイポーラトランジスタ素子 400 の断面を模式的に示している。

図 12 は、バイポーラトランジスタ素子 400 をさらに模式的に示す断面図である。

図 13 は、バイポーラトランジスタ素子 450 を模式的に示す断面図である。

図 14 (a) は、実施形態 4 にかかる半導体装置に含まれるダイオード素子 500 の上面を模式的に示しており、図 14 (b) は、図 14 (a) の b-b' 線に沿ったダイオード素子 500 の断面を模式的に示している。

図 15 (a) は、ダイオード素子 1000 の上面を模式的に示しており、図 15 (b) は、図 15 (a) の b-b' 線に沿ったダイオード素子 1000 の断面を模式的に示している。

発明を実施するための最良の形態

以下、図面を参照しながら本発明の実施形態を説明する。以下の図面においては、説明の簡潔化のため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。

(実施形態 1)

以下、図 1 から図 6 を参照しながら、本発明による実施形態 1 を説明する。本実施形態にかかる半導体装置は、半導体集積回路を含む装置であり、例えば CM

OSプロセスによって作製されたアナログ・デジタル混載LSIである。本実施形態の半導体装置は、図1に示すダイオード素子100を半導体集積回路中に含んでいる。図1(a)は、ダイオード素子100の上面を模式的に示しており、図1(b)は、図1(a)のb-b'線に沿ったダイオード素子100の断面を模式的に示している。

ダイオード素子100は、第1導電型の半導体層30と、第1導電型の半導体層30内に形成された第1単位セル10および第2単位セル20とを有している。第1導電型の半導体層30は、例えば、P型半導体基板60内に形成されたNウェル領域(NW)30である。なお、第1導電型の半導体層30は、第1導電型のウェル領域に限らず、例えば、第1導電型の半導体基板であってもよいし、第2導電型の半導体基板上に形成された第1導電型の半導体層であってもよい。また、本実施形態では、第1導電型の半導体層としてNウェル領域30を用いているが、これに代えて、Pウェル領域を用いることも可能である。

第1単位セル10は、Nウェル領域30内に形成された第1導電型の第1半導体領域12と、第1半導体領域12と配線50とを電気的に接続するためのコンタクト領域14とを有している。本実施形態において、第1導電型の第1半導体領域12は、N⁺拡散領域であり、N⁺拡散領域12は、その表面に設けられたコンタクト領域14に接合されたコンタクト部52を通じて配線50に電気的に接続されている。一方、第2単位セル20は、Nウェル領域30内に形成された第2導電型の第2半導体領域22と、第1半導体領域10と配線50とを電気的に接続するためのコンタクト領域24とを有している。本実施形態において、第2導電型の第2半導体領域22は、P⁺拡散領域であり、P⁺拡散領域22は、その表面に設けられたコンタクト領域24に接合されたコンタクト部52を通じて配線50に電気的に接続されている。なお、第1導電型の半導体層としてPウェル領域が形成されている場合には、第1導電型の第1半導体領域12をP⁺拡散領域とし、第2導電型の第2半導体領域12をN⁺拡散領域とすればよい。

本実施形態においては、第1単位セル10と第2単位セル20とは互いに所定間隔(例えば、2 μ m程度)を設けて配列されている。第1単位セル10(N⁺拡散領域12)と第2単位セル20(P⁺拡散領域)とを分離するために、Nウェル

領域 30 内における第 1 単位セル 10 と第 2 単位セル 20 との間のセル間領域（素子分離領域）には、素子分離領域酸化膜（フィールド酸化膜）32 が形成されている。また、N ウェル領域 30 の周囲には P ウェル領域（PW）36 が形成されており、P ウェル領域 36 内には、第 1 単位セル 10 と第 2 単位セル 20 とを分離する素子分離領域酸化膜 32 の外周を取り囲むようにして P⁺拡散領域 34 が形成されている。

第 1 単位セル 10 の N⁺拡散領域 12 と第 2 単位セル 20 の P⁺拡散領域 22 とは、N ウェル領域 30 内に形成されており、P⁺拡散領域 22 と N ウェル領域 30 とによって PN 接合が形成されている。このため、第 2 単位セル 20（P⁺拡散領域 22）をアノードとし、第 1 単位セル 10（N⁺拡散領域 12）をカソードとすることによって、ダイオードとして機能させることができる。

本実施形態のダイオード素子 100 は、上述したダイオード素子 1000 と異なり、第 1 単位セル 10 と第 2 単位セル 20 とによってダイオードを構成しているため、ダイオード素子 1000 と比較して、アノード・カソード間距離が短縮されている。このため、ダイオード素子 1000 の構成よりも、N ウェル領域 30 に存在する寄生抵抗 40 を削減することができる。すなわち、第 1 単位セル 10 と第 2 単位セル 20 とを N ウェル領域 30 内に近接してレイアウトすることができるため、寄生抵抗 40 のある N ウェル領域 30 中を電流が流れる距離を短くすることができ、その結果、寄生抵抗 40 が削減されることになる。寄生抵抗 40 が削減されると、ダイオード電流（ID）を大きくしても、ダイオード素子 100 の電流能力が大きく低下しないようにすることができるため、単位面積当たりの電流能力が大きい高性能のダイオード素子 100 を備えた半導体装置を提供することが可能となる。また、ダイオード素子 100 は、ダイオード素子 1000 よりも単位面積当たりの電流能力が大きいいため、占有面積を小さくして構成することができる。

本実施形態では、N ウェル領域 30 内に複数の第 1 単位セル 10 および複数の第 2 単位セル 20 が形成されている。このため、PN 接合面積を増やしてダイオード素子の電流能力を大きくすることができる。図 1 に示す例では、4 個の第 1 単位セル 10 と 5 個の第 2 単位セル 20 とが二次元的に（マトリクス状に）配列

されているが、これに限らず、さらに多くの個数の第1単位セル10と第2単位セル20とを設けることも可能である。また、複数の第1単位セル10および複数の第2単位セル20の全てに配線50を接続しなくともよく、必要とされるダイオード素子の特性に応じて、必要数の単位セル(10または20)に配線50を接続することができる。このように、任意の単位セルを用いて所望のダイオード特性にすることができるため、ダイオード素子の設計が容易になるという利点も得られる。

第1単位セル10のN⁺拡散領域12および第2単位セル20のP⁺拡散領域22が出来ただけ小さいサイズで構成されていると、アノード・カソード間距離をより小さくすることができ、その結果、寄生抵抗40を効果的に削減することができる。また、ダイオード素子100のサイズも小さくすることができ、半導体装置のチップ面積を縮小させることもできる。そのため、N⁺拡散領域12およびP⁺拡散領域22のそれぞれの大きさを規定する寸法(例えば正方形の一辺の長さ)は、デザインルールにおいて許容される最小の寸法と実質的に同じであることが好ましい。

本実施形態では、N⁺拡散領域12およびP⁺拡散領域22を作製する上でデザインルールにおいて許容される最小の寸法が約1.4 μm であるときに、N⁺拡散領域12およびP⁺拡散領域22のそれぞれの大きさを規定する寸法がそれと実質的に同じとなるようにしており、例えば、約2 μm としている。すなわち、製造プロセスにおけるバラツキ等を考慮した上で最適(最小)の大きさとされている。

第1単位セル10のN⁺拡散領域12および第2単位セル20のP⁺拡散領域22の基板法線方向から見た形状は、例えば、正方形である。N⁺拡散領域12およびP⁺拡散領域22の形状が正方形にされていると、所定のデザインルール内で最も効率良く第1単位セル10および第2単位セル20を配列させることができるからである。ただし、N⁺拡散領域12およびP⁺拡散領域22の形状は、幾何学的な意味における厳密な正方形である必要はなく、実質的に正方形の形状を有していればよい。例えば、角が丸くなっているとしてもよく、厳密に各辺の長さが等しくなっていなくてもよい。また、正方形に限定されず、例えば、蜂の巣構造のように、N⁺拡散領域12およびP⁺拡散領域22のそれぞれの形状を正六角形にして

もよい。なお、 N^+ 拡散領域 1 2 および P^+ 拡散領域 2 2 の形状を円形や楕円形にすることも可能である。

また、本実施形態では、第 1 単位セル 1 0 と第 2 単位セル 2 0 とは互いに交互になるように配列されており、例えば、市松模様（または、例えばチェス盤の模様）に配列されている。第 1 単位セル 1 0 と第 2 単位セル 2 0 とを市松模様配列すると、各第 1 単位セル 1 0 と各第 2 単位セル 2 0 との間の距離を短くすることができるため、複数の第 1 単位セル 1 0 と複数の第 2 単位セル 2 0 を設けた場合でも、寄生抵抗 4 0 を小さくすることができる利点がある。

ダイオード 1 0 0 の構成によれば、寄生抵抗 4 0 による電圧降下を少なくすることができ、単位面積あたりの電流能力を大きく向上させることができる。また、ダイオードを構成する N^+ 拡散領域および P^+ 拡散領域のそれぞれが第 1 単位セル 1 0 および第 2 単位セル 2 0 を用いて構成されているので、単位セルによって回路設計を行うことが可能となる。このため、必要に応じた特性（所望の特性）のダイオードを設計する際の簡便性の向上という利点も得られる。従って、ダイオード素子 1 0 0 は、例えば、アナログ回路部内におけるバンドギャップリファレンス回路の一素子として好適に用いることができる。

次に、図 2 (a) から (e) を参照しながら、本実施形態におけるダイオード 1 0 0 の作製方法を例示的に説明する。ダイオード 1 0 0 は、例えば、典型的な CMOS プロセスを用いて作製され、半導体集積回路のデジタル回路部と同様のプロセスを用いて作製することが可能である。

まず、図 2 (a) に示すように、例えば、 P 型半導体基板（例えば、 P 型シリコン基板）6 0 を用意した後、図 2 (b) に示すように、基板 6 0 の一部に選択的に表面から所定の深さまで素子分離領域酸化膜 3 2 を形成する。

次に、図 2 (c) に示すように、第 1 導電型の半導体層として N ウェル領域 (NW) 3 0 を例えばイオン注入法によって形成する。この段階において、 N ウェル領域 3 0 の周囲に位置する P ウェル領域 3 6 も形成する。

次に、図 2 (d) に示すように、 N ウェル領域 3 0 の一部に選択的に N^+ 拡散領域 1 2（第 1 単位セル 1 0）および P^+ 拡散領域 2 2（第 2 単位セル 2 0）を形成する。 N^+ 拡散領域 1 2 および P^+ 拡散領域 2 2 の形成は、例えば、イオン注入法

によって行えばよい。

次に、図2(e)に示すように、基板60の上に絶縁膜54を堆積した後、絶縁膜54に選択的にコンタクトホールを形成し、次いで、配線50(コンタクト部52を含む)を形成する。配線50のコンタクト部52は、第1単位セル10のコンタクト領域12および第2単位セル20のコンタクト領域22のそれぞれと接合されるので、第1単位セル10および第2単位セル20のそれぞれと配線50とが電氣的に互いに接続される。このようにして、ダイオード素子100が得られる。

ダイオード素子100では、第1単位セル10と第2単位セル20との間のセル間領域に素子分離領域酸化膜32を形成していたが、この素子分離領域酸化膜32を形成することなく、図3(a)および(b)に示すように、セル間領域上にゲート電極構造70を形成したダイオード素子200の構成にすることも可能である。ゲート電極構造70は、絶縁層(例えば、ゲート酸化膜)72とその上に形成された導電層(例えば、ポリシリコン層)74とから構成されており、典型的なCMOSプロセスを用いて作製可能な構造を有している。

図3に示したダイオード素子200では、セル間領域上にゲート電極構造70が設けられているので、素子分離領域酸化膜32を形成することなく、第1単位セル10のN⁺拡散領域12と第2単位セル20のP⁺拡散領域22とを分離した構成にすることができる。従って、P⁺拡散領域22の底面の面積に加えて、P⁺拡散領域22の外周面の面積もPN接合面積に寄与させることができるため、PN接合面積を大きくすることができる。また、ゲート電極構造70の形成は、CMOSプロセスを用いて行うことができるため、アナログ回路部と同様の工程を用いてダイオード素子200のゲート電極構造70を形成できることは利点が多い。

また、ダイオード素子200では、Nウェル領域30上に位置するゲート電極構造70にゲート配線(不図示)を電氣的に接続することもできる。ゲート電極構造70にゲート配線を設けた上で、独立した電位として高電位側の電圧(V_{dd})をゲート配線に印加すれば、ダイオード動作時に逆バイアスが加わりにくくすることができる。このため、空乏層の形成を防止することができ、その結果、

P N接合面積の減少を抑制することが可能となる。

ダイオード素子200は、例えば、典型的なCMOSプロセスを用いて、図4(a)から(f)に示すようにして作製することができる。なお、この例では、ゲート電極構造70上にゲート配線56を形成した構成のダイオード素子200を作製している。

まず、図4(a)に示すように、例えば、P型半導体基板（例えばP型シリコン基板）60を用意した後、図4(b)に示すように、基板60の一部に選択的に表面から所定の深さまで素子分離領域酸化膜32を形成する。なお、図2で示した例と異なり、後工程（図4(d)参照）でゲート電極構造70を形成するため、Nウェル領域(NW)30となる部分に素子分離領域酸化膜32を形成しなくてもよい。

次に、図4(c)に示すように、第1導電型の半導体層としてNウェル領域(NW)30を例えばイオン注入法によって形成する。この段階において、Nウェル領域30の周囲に位置するPウェル領域36も形成する。

次に、図4(d)に示すように、第1単位セル10と第2単位セル20との間のセル間領域となる部分に、ゲート電極構造70を形成する。ゲート電極構造70の形成は、例えば、次のようにして行えばよい。まず、基板60の上に酸化膜（例えば、酸化シリコン(SiO_2)）を堆積した後、その上に例えばポリシリコンを堆積する。次いで、両者を選択的にエッチングして、ゲート酸化膜（厚さ：数ナノメートル）72と、導電層（ポリシリコンゲート、厚さ：数百ナノメートル）74を形成する。このようにして、セル間領域にゲート電極構造70を形成する。

次に、図4(e)に示すように、ゲート電極構造70をマスクの一部として利用して、Nウェル領域30の一部に選択的にN⁺拡散領域12（第1単位セル10）およびP⁺拡散領域22（第2単位セル20）を形成する。セル間領域にゲート電極構造70が設けられているため、Nウェル領域30内に素子分離領域酸化膜32が形成されていなくても、ダイオード特性を損ねることなく、N⁺拡散領域12およびP⁺拡散領域22を形成することが可能となる。

次に、図4(f)に示すように、基板60の上に絶縁膜54を堆積した後、絶

縁膜 5 4 に選択的にコンタクトホールを形成し、次いで、配線 5 0（コンタクト部 5 2 を含む）およびゲート配線 5 6 を形成する。配線 5 0 のコンタクト部 5 2 は、第 1 単位セル 1 0 のコンタクト領域 1 4 および第 2 単位セル 2 0 のコンタクト領域 2 4 のそれぞれと接合される。また、ゲート配線 5 6 は、ゲート電極構造 7 0 の導電層 7 4 と電氣的に接続される。このようにして、ダイオード素子 2 0 0 が得られる。

図 5 は、ダイオードの電圧－電流特性を得るための回路であり、図 6 は、図 5 に示した回路を用いて測定を行ったダイオードの電圧－電流特性の結果を示している。図 6 中の縦軸は、単位面積当たりの電流（対数目盛）を示しており、横軸は印加電圧を示している。なお、図 6 中の実線は、本実施形態のダイオード素子 2 0 0 を用いた場合の結果を示しており、この場合においてダイオード素子 2 0 0 のゲート電極構造 7 0 に電圧は印加されていない。一方、図 6 中の点線は、図 1 5 に示したダイオード素子 1 0 0 0（比較例）を用いた場合の結果を示している。

図 6 から、ダイオードの動作範囲におけるいずれの印加電圧 V_d の場合でも、ダイオード素子 1 0 0 0 よりも、本実施形態のダイオード素子 2 0 0 の方が優れた特性を示すことがわかる。

図 7 は、図 6 のグラフにおける印加電圧が 0.7 V 付近の部分を拡大して示している。図 7 に示すとおり、印加電圧が 0.7 V のときには、本実施形態のダイオード素子 2 0 0 は、ダイオード素子 1 0 0 0（比較例）よりも、単位面積当たりの電流よりも約 2.3 倍も多い。すなわち、本実施形態のダイオード素子 2 0 0 が優れた特性を有していることが理解できる。

図 8 は、図 6 のグラフにおける印加電圧 0.6 V～1.0 V の範囲を十進数目盛の縦軸で表したグラフを示している。図 8 から理解できるように、印加電圧が大きくなればなるほど、N ウェル領域の寄生抵抗の影響によって、本実施形態のダイオード素子 2 0 0 の電流能力と、ダイオード素子 1 0 0 0（比較例）の電流能力との差が大きくなる。この結果から、本実施形態のダイオード素子 2 0 0 では、N ウェル領域 3 0 の寄生抵抗 4 0 の影響を出来るだけ抑制して、単位面積当たりの電流（ダイオード電流 I_D ）を増加させることが可能であることが理解で

きる。なお、図7中および図8中の縦軸における「E-X」は、 10^{-x} のことを意味しており、例えば $1.0E-05[A]$ は、 $1.0 \times 10^{-5}[A]$ のことを表している。

(実施形態2)

図9および図10を参照しながら、本発明による実施形態2を説明する。図9(a)は、本実施形態にかかる半導体装置に含まれるダイオード素子300の上面を模式的に示しており、図9(b)は、図9(a)のb-b'線に沿ったダイオード素子300の断面を模式的に示している。

本実施形態のダイオード素子300は、SOI (silicon on insulator) 基板の半導体領域内に形成されている点が、Nウェル領域30内に形成されていた実施形態1のダイオード素子100または200と異なる。すなわち、本実施形態では、第1導電型の半導体層として、絶縁膜（または絶縁基板）62上に形成された第1導電型の半導体層（半導体領域）30を使用している。第1導電型の半導体層30は、N型の半導体層であっても、P型の半導体層であってもよい。本実施形態の説明を簡明にするため、以下（後述する実施形態も含む）では、実施形態1と異なる点を主に説明し、実施形態1と同様の点の説明は省略または簡略化する。

ダイオード素子300は、絶縁膜（例えば、埋め込み酸化膜、厚さ：例えば約100nm）62上に形成された第1導電型の半導体層30（厚さ：例えば約50nm）内に第1単位セル10および第2単位セル20を有している。第1単位セル10と第2単位セル20との間のセル間領域には、ゲート電極構造70が形成されている。ゲート電極構造70には、ゲート配線（不図示）を設けることも可能である。本実施形態では、半導体層30の周囲には、素子分離用の酸化膜64が形成されており、絶縁膜（埋め込み酸化膜）62の下にはP型半導体基板60が位置している。なお、第1単位セル10および第2単位セル20は、上記実施形態1の場合と同様に、半導体層30内において市松模様となるように配列されている。

ダイオード素子300では、Nウェル領域やPウェル領域が設けられていない

S O I 基板の半導体領域（半導体層 3 0）内において第 1 単位セル 1 0 の N⁺拡散領域 1 2 と第 2 単位セル 2 0 の P⁺拡散領域 2 2 とが形成されている。このため、N⁺拡散領域 1 2 および P⁺拡散領域 2 2 のそれぞれの外周面の面積が P N 接合面積に寄与するので、P N 接合面積を増やすことが可能となり、その結果、ダイオード素子の電流能力を向上させることが可能となる。また、ダイオード素子 3 0 0 の構成でも、上記実施形態の場合と同様に、第 1 単位セル 1 0 と第 2 単位セル 2 0 は近接して配置させることが可能であるため、半導体層 3 0 の寄生容量 4 0 を低減させることができる。

ダイオード素子 3 0 0 は、例えば、図 1 0（a）から（f）に示すようにして作製することができる。なお、この例では、ゲート電極構造 7 0 上にゲート配線 5 6 を形成した構成のダイオード素子を作製している。

まず、図 1 0（a）に示すように、例えば、P 型半導体基板（P 型シリコン基板）6 0 上に埋め込み酸化層（S i O₂膜）6 2 とその上に半導体領域（半導体層）3 0 とが形成された S O I 基板を用意する。

次に、図 1 0（b）に示すように、S O I 基板の半導体領域 3 0 の一部に選択的に素子分離用の絶縁膜 6 4 を形成し、次いで、図 1 0（c）に示すように、第 1 単位セル 1 0 と第 2 単位セルとの間のセル間領域となる部分に、ゲート電極構造 7 0 を形成する。

次に、図 1 0（d）に示すように、ゲート電極構造 7 0 をマスクの一部として利用して、半導体層 3 0 の一部に選択的に N⁺拡散領域 1 2（第 1 単位セル 1 0）および P⁺拡散領域 2 2（第 2 単位セル 2 0）を形成する。なお、本実施形態のように S O I 基板を使用する場合には、上記実施形態 1 のダイオード素子 1 0 0 のように素子分離領域酸化膜 3 2 を形成する手法よりも、ゲート電極構造 7 0 を形成して素子分離領域酸化膜を形成しない手法の方が製造工程上好ましい。

次に、図 1 0（f）に示すように、S O I 基板上に絶縁膜 5 4 を堆積した後、絶縁膜 5 4 に選択的にコンタクトホールを形成し、次いで、配線 5 0（コンタクト部 5 2 を含む）およびゲート配線 5 6 を形成する。このようにして、ダイオード素子 3 0 0 が得られる。

(実施形態 3)

図 1 1 から図 1 3 を参照しながら、本発明による実施形態 3 を説明する。上記実施形態では、第 1 単位セル 1 0 と第 2 単位セル 2 0 を用いてダイオード素子を構成したが、この構成を利用してバイポーラトランジスタ素子を構成することも可能である。図 1 1 (a) は、本実施形態にかかる半導体装置に含まれるバイポーラトランジスタ素子 4 0 0 の上面を模式的に示しており、図 1 1 (b) は、図 1 1 (a) の b-b' 線に沿ったバイポーラトランジスタ素子 4 0 0 の断面を模式的に示している。

図 1 1 (a) および (b) に示すように、実施形態 1 のダイオード素子 1 0 0 の構成の場合における第 1 単位セル 1 0 をベースとし、第 2 単位セル 2 0 をエミッタとし、そして P 型半導体基板 (第 2 導電型の半導体層) 6 0 をコレクタとすれば、バイポーラトランジスタ素子 4 0 0 を構成することができる。ベース (B)、エミッタ (E)、およびコレクタ (C) の関係をより明瞭にする目的で、バイポーラトランジスタ素子 4 0 0 をさらに模式的に示した構成を図 1 2 に示す。

図 1 1 に示したバイポーラトランジスタ素子 4 0 0 では、第 2 単位セル 2 0 のコンタクト領域 2 4 にエミッタ用の配線 5 0 a が電氣的に接続され、第 1 単位セル 1 0 のコンタクト領域 1 4 にベース用の配線 5 0 b が電氣的に接続される。コレクタ用の配線 5 0 c は、N ウェル領域 3 0 に隣接した P ウェル領域 3 6 内に形成された P⁺ 拡散領域 3 4 と電氣的に接続されており、これによって、コレクタ用の配線 5 0 c と P 型半導体基板 6 0 とは互いに電氣的に接続されている。

バイポーラトランジスタ素子 4 0 0 においては、第 1 単位セル 1 0 および第 2 単位セル 2 0 のいずれかがベース (B) またはエミッタ (E) とされる。上記実施形態で説明したように、第 1 単位セル 1 0 および第 2 単位セル 2 0 は近接して配置できることから、N ウェル領域 3 0 の寄生抵抗 4 0 を軽減させることができるので、その結果、電流特性に優れたバイポーラトランジスタ素子を提供することが可能となる。なお、図 1 1 に示した構成では、第 1 単位セル 1 0 と第 2 単位セル 2 0 との間に素子分離領域酸化膜 3 2 を設けているが、素子分離領域酸化膜 3 2 を設けることなく、セル間領域にゲート電極構造 7 0 を設けた構成することも勿論可能である。

また、図13に示すように、二重ウェル型の構成を用いてバイポーラトランジスタ素子450を構成することも可能である。すなわち、P型半導体基板60内に、第2導電型の半導体層としてNウェル領域31を形成し、そのNウェル領域31内に第1導電型の半導体層としてPウェル領域30を形成する。このようなダブルウェル型の構成において、第1導電型の半導体層としてのPウェル領域30内に第1単位セル（ベース）10および第2単位セル（エミッタ）20を設けて、Nウェル領域31をコレクタとすれば、バイポーラトランジスタ素子を構成することができる。この構成の場合でも、バイポーラトランジスタ素子400と同様に、Pウェル領域30の寄生抵抗を軽減させることができるので、電流特性に優れたバイポーラトランジスタ素子を提供することができる。

（実施形態4）

図14を参照しながら、本発明による実施形態4を説明する。上記実施形態では、第1導電型の半導体層30内において第1単位セル10と第2単位セル20とを交互にするために、第1単位セル10および第2単位セル20を市松模様に配列させた構成（例えば、図1参照）にしたが、本実施形態では、第1導電型の半導体層30内に比較的大きな第1単位セル10を形成し、その第1単位セル10内に第2単位セル20を形成する構成にしている。

図14(a)は、本実施形態にかかる半導体装置に含まれるダイオード素子500の上面を模式的に示しており、図14(b)は、図14(a)のb-b'線に沿ったダイオード素子500の断面を模式的に示している。ダイオード素子500は、第1導電型の半導体層（Nウェル）30内に第1単位セル10と、第1単位セル10内に形成された複数の第2単位セル20とを有している。本実施形態において、基板法線方向から見た第1単位セル10の形状は、例えば正方形（一辺の長さ：約5 μ m）であり、第2単位セル20の形状も同様に正方形（一辺の長さ：約2.5 μ m）である。第2単位セル20は、第1単位セル10内に例えば4個形成されている。第1単位セル10と第2単位セル20との間隔15は、例えば、約2 μ mである。

ダイオード素子500の構成でも、カソードとなるN⁺拡散領域12の中心部か

らアノードとなる P^+ 拡散領域22までの距離を、図15に示したダイオード素子1000の構成の場合よりも、短くすることができる。従って、第1導電型の半導体層(Nウェル領域)30の寄生抵抗を軽減させることができるため、単位面積あたりの電流能力を向上させたダイオード素子を提供することができる。

産業上の利用可能性

本発明によれば、高性能で占有面積が小さいダイオード素子を含む半導体装置が提供される。高性能で占有面積が小さいダイオード素子は、例えば、CMOSプロセスによって実現されるアナログ・デジタル混載LSIのアナログ回路部の一素子として好適に使用することができるため、より高性能でチップ面積の小さい半導体装置を提供することが可能となる。

請 求 の 範 囲

1. 第 1 導電型の半導体層と、

前記第 1 導電型の半導体層内に形成された第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域と配線とを電氣的に接続するためのコンタクト領域とを有する少なくとも 1 個の第 1 単位セルと、

前記第 1 導電型の半導体層内に形成された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域と配線とを電氣的に接続するためのコンタクト領域とを有する少なくとも 1 個の第 2 単位セルと

を備え、

前記第 1 単位セルと前記第 2 単位セルとは協働してダイオード素子として機能する、半導体装置。

2. 前記少なくとも 1 個の第 1 単位セルは、複数の第 1 単位セルであり、且つ、前記少なくとも 1 個の第 2 単位セルは、複数の第 2 単位セルである、請求項 1 に記載の半導体装置。

3. 前記第 1 半導体領域および前記第 2 半導体領域のそれぞれの大きさを規定する寸法は、当該半導体装置のデザインルールにおいて許容される最小の寸法と実質的に同じである、請求項 1 または 2 に記載の半導体装置。

4. 法線方向から見た前記第 1 半導体領域および前記第 2 半導体領域のそれぞれの形状は略正方形である、請求項 1 から 3 の何れか一つに記載の半導体装置。

5. 前記第 1 単位セルおよび前記第 2 単位セルは、前記第 1 導電型の半導体層内において市松模様に配列されている、請求項 1 から 4 の何れか一つに記載の半導体装置。

6. 前記第 1 単位セルと前記第 2 単位セルとは、前記第 1 導電型の半導体層内

において互いに所定間隔を設けて配列されており、

前記第 1 導電型の半導体層内における前記第 1 単位セルと前記第 2 単位セルとの間に位置するセル間領域上には、少なくとも前記セル領域上に形成された絶縁層と前記絶縁層上に形成された導電層とを有するゲート電極構造が形成されている、請求項 1 から 5 の何れか一つに記載の半導体装置。

7. 前記ゲート電極構造に電氣的に接続されたゲート配線をさらに有することを特徴とする、請求項 6 に記載の半導体装置。

8. 1 個の前記第 1 単位セルの前記第 1 半導体領域内に複数の前記第 2 単位セルが形成されている、請求項 1 に記載の半導体装置。

9. さらに第 2 導電型の半導体層を有し、前記第 1 導電型の半導体層は、前記第 2 導電型の半導体層上に形成されている、請求項 1 から 8 に記載の半導体装置。

10. 前記第 1 導電型の半導体層内に形成された前記第 1 単位セルがベースとされ、前記第 2 単位セルがエミッタとされ、且つ、

前記第 2 導電型の半導体層がコレクタとされる、請求項 9 に記載の半導体装置。

11. 前記第 2 導電型の半導体層は、半導体基板であり、

前記第 1 導電型の半導体層は、前記半導体基板内に形成されたウェル領域である、請求項 9 または 10 に記載の半導体装置。

12. 前記第 1 導電型の半導体層は、絶縁層上に形成されている、請求項 1 から 8 の何れか一つに記載の半導体装置。

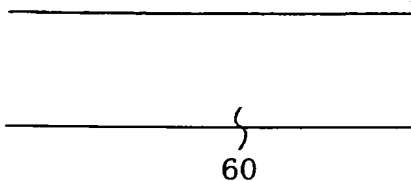
13. さらにアナログ回路部とデジタル回路部とを有しており、前記ダイオード素子はアナログ回路部に形成されており、且つ、前記アナログ回路部および前記デジタル回路部は、CMOS プロセスによって作製されていることを特徴とす

る、請求項 1 から 1 2 の何れか一つに記載の半導体装置。

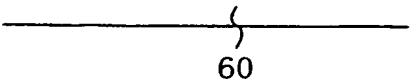
2/13

FIG. 2

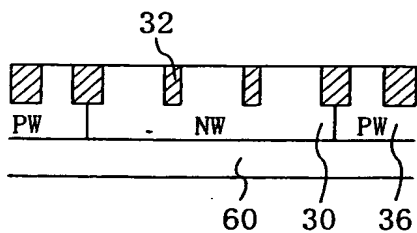
(a)



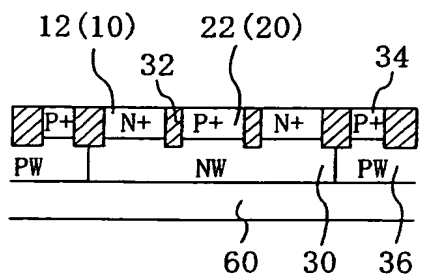
(b)



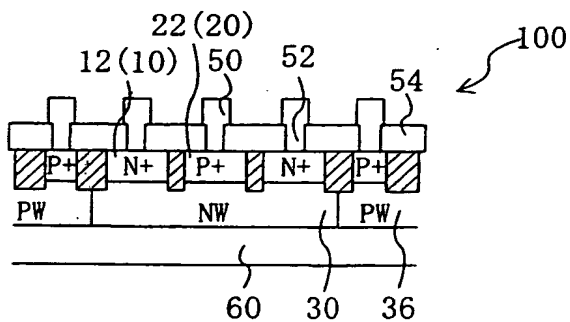
(c)



(d)

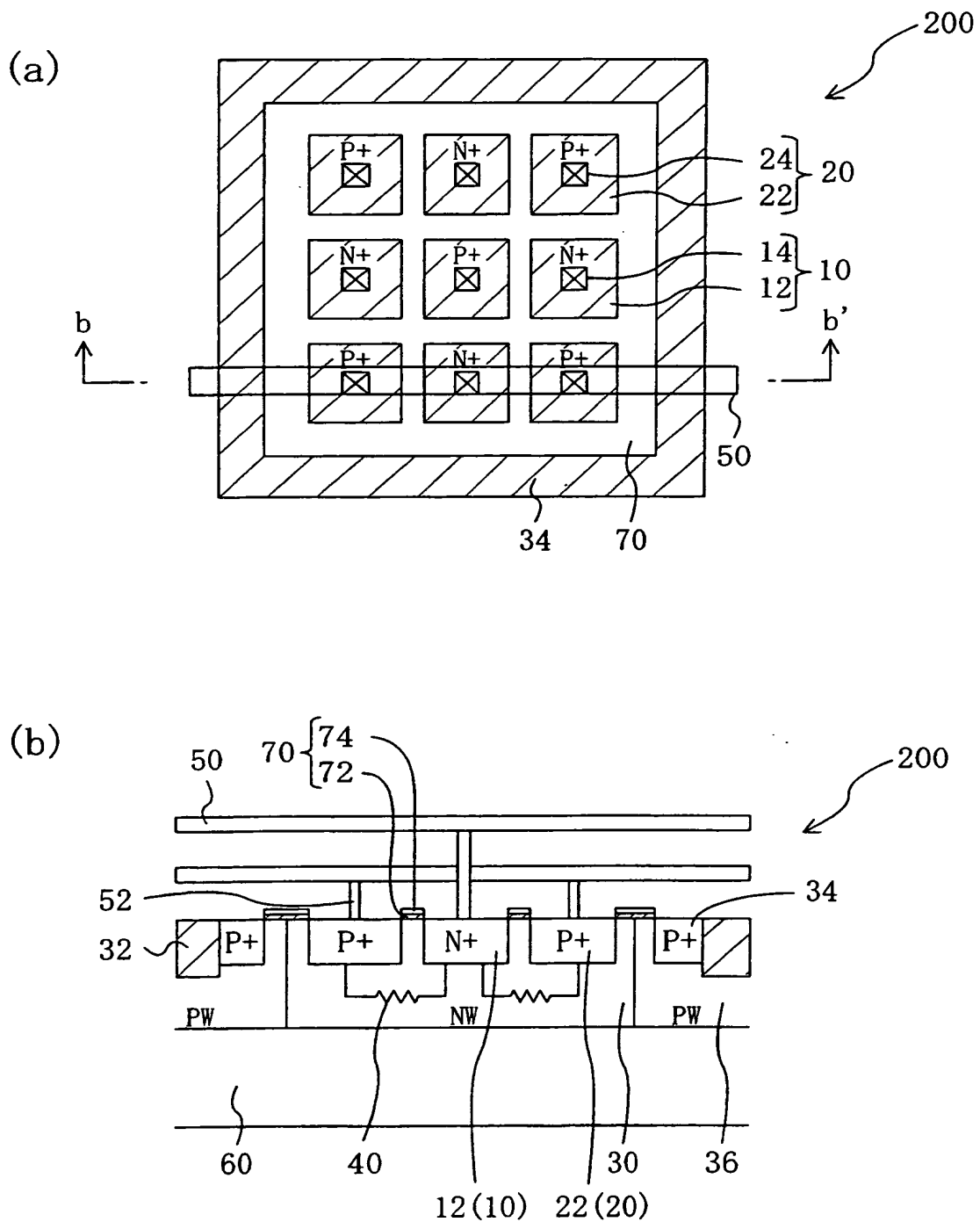


(e)



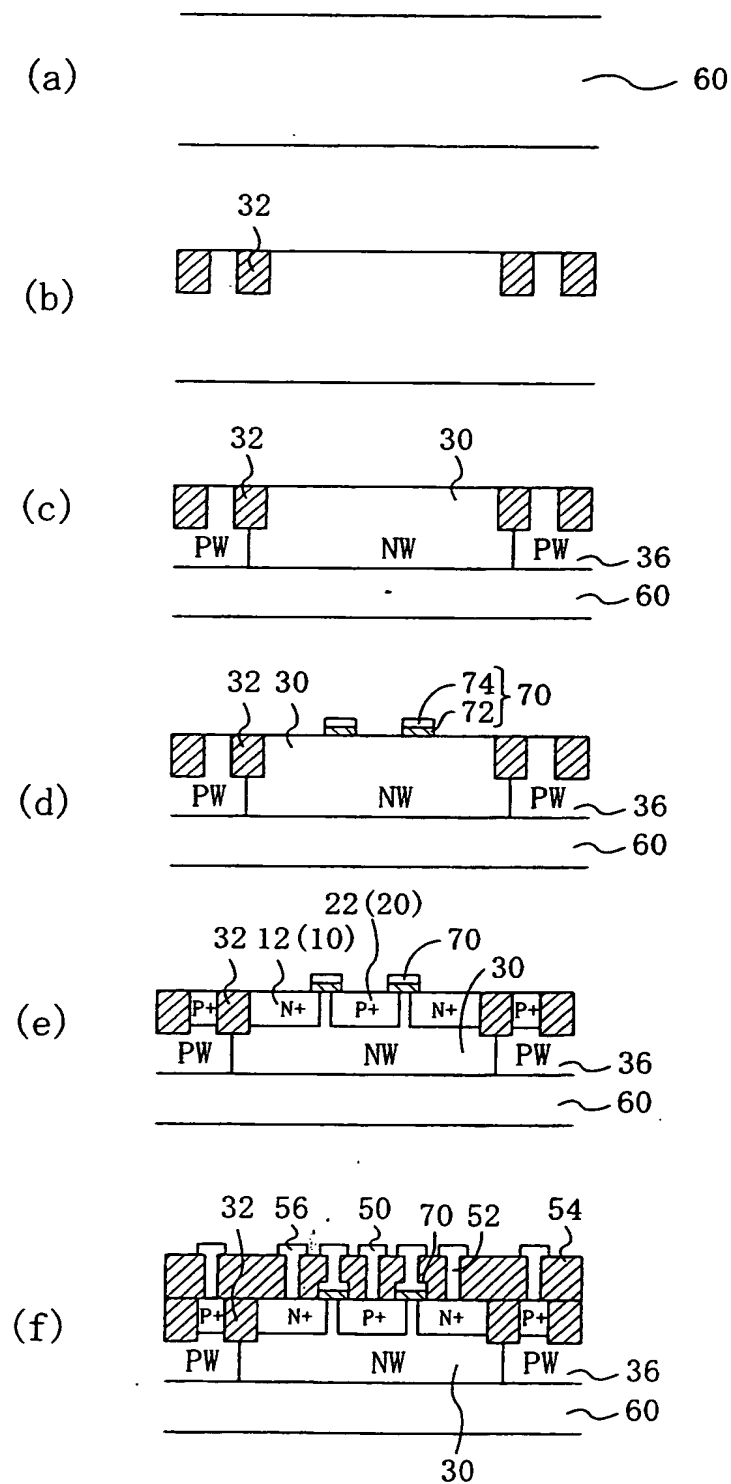
3/13

FIG. 3



4/13

FIG. 4



5/13

FIG. 5

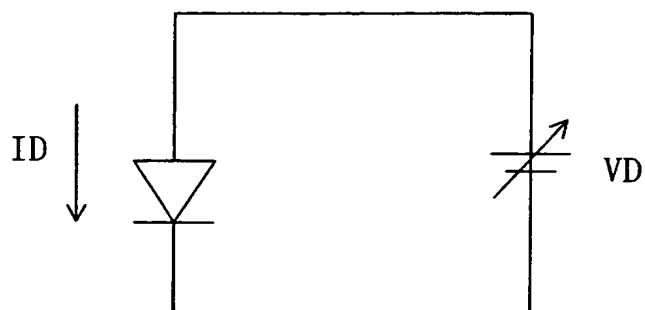
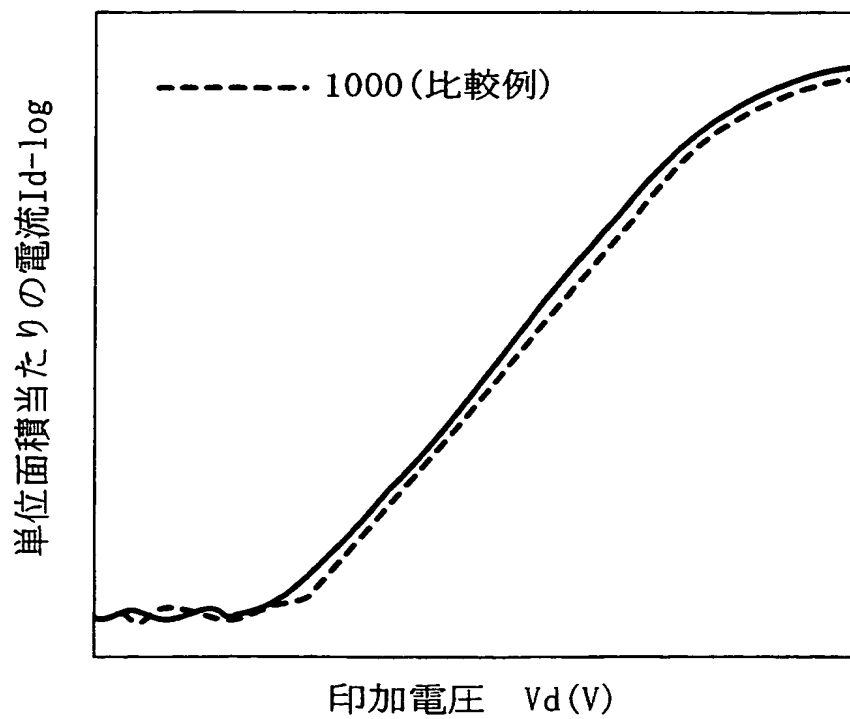
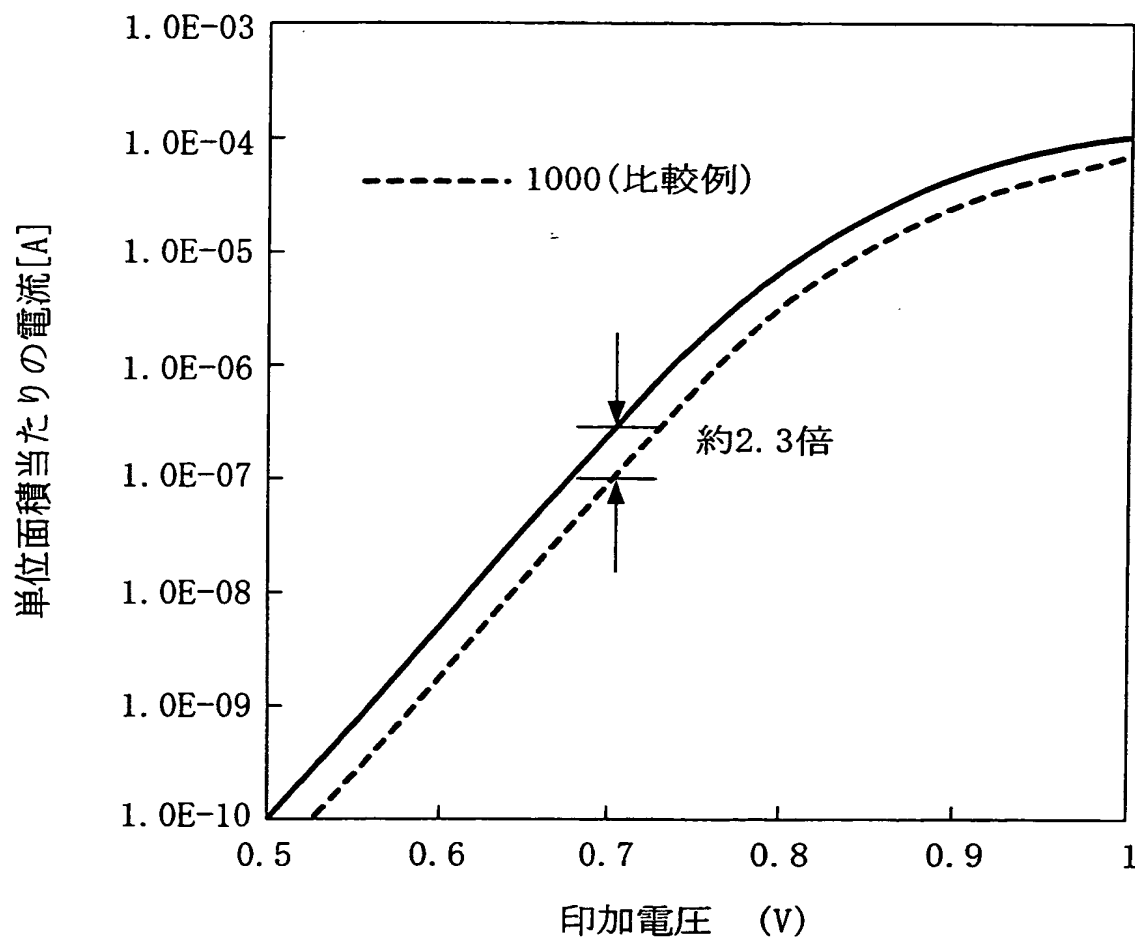


FIG. 6



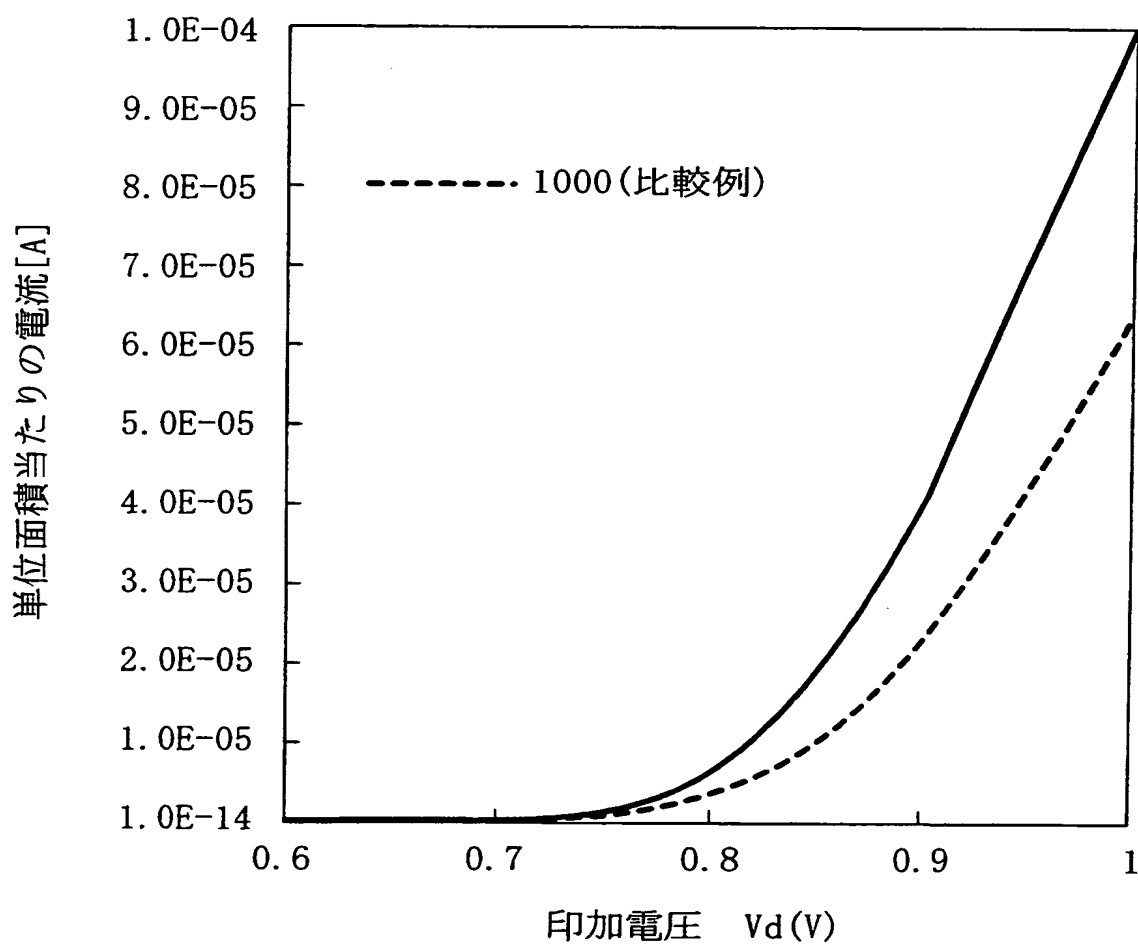
6/13

FIG. 7



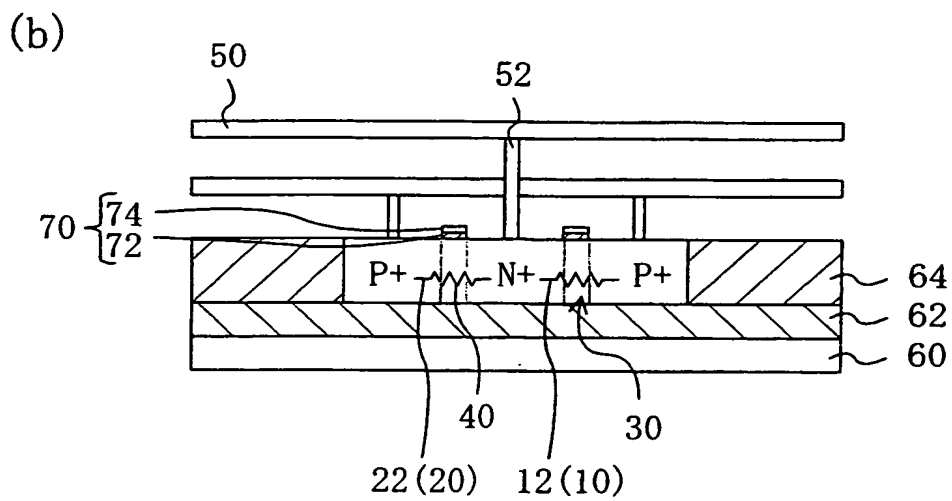
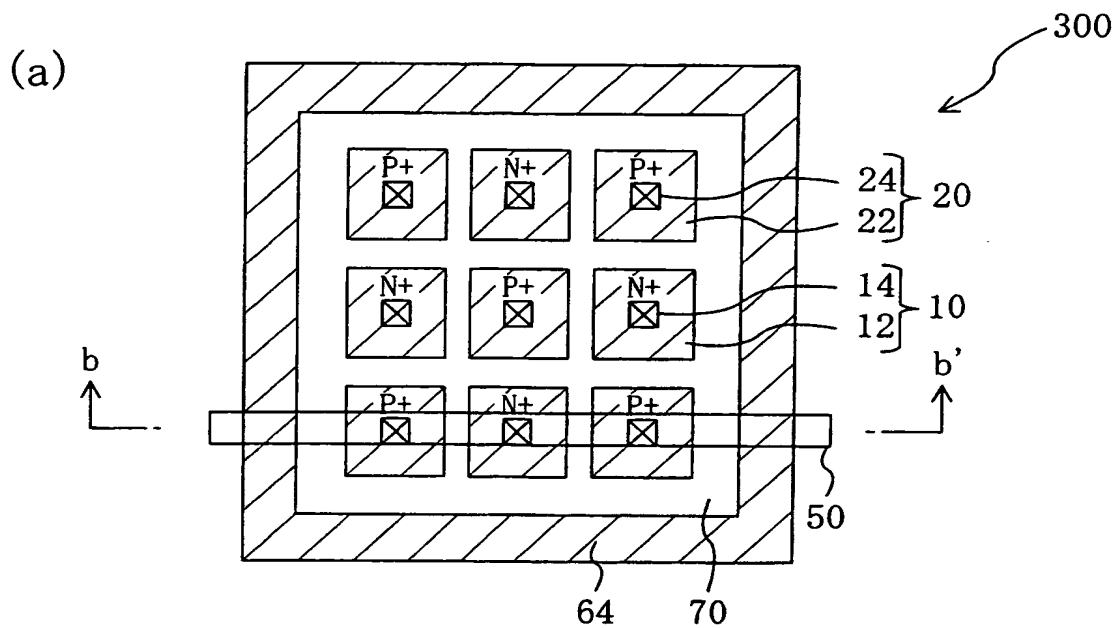
7/13

FIG. 8



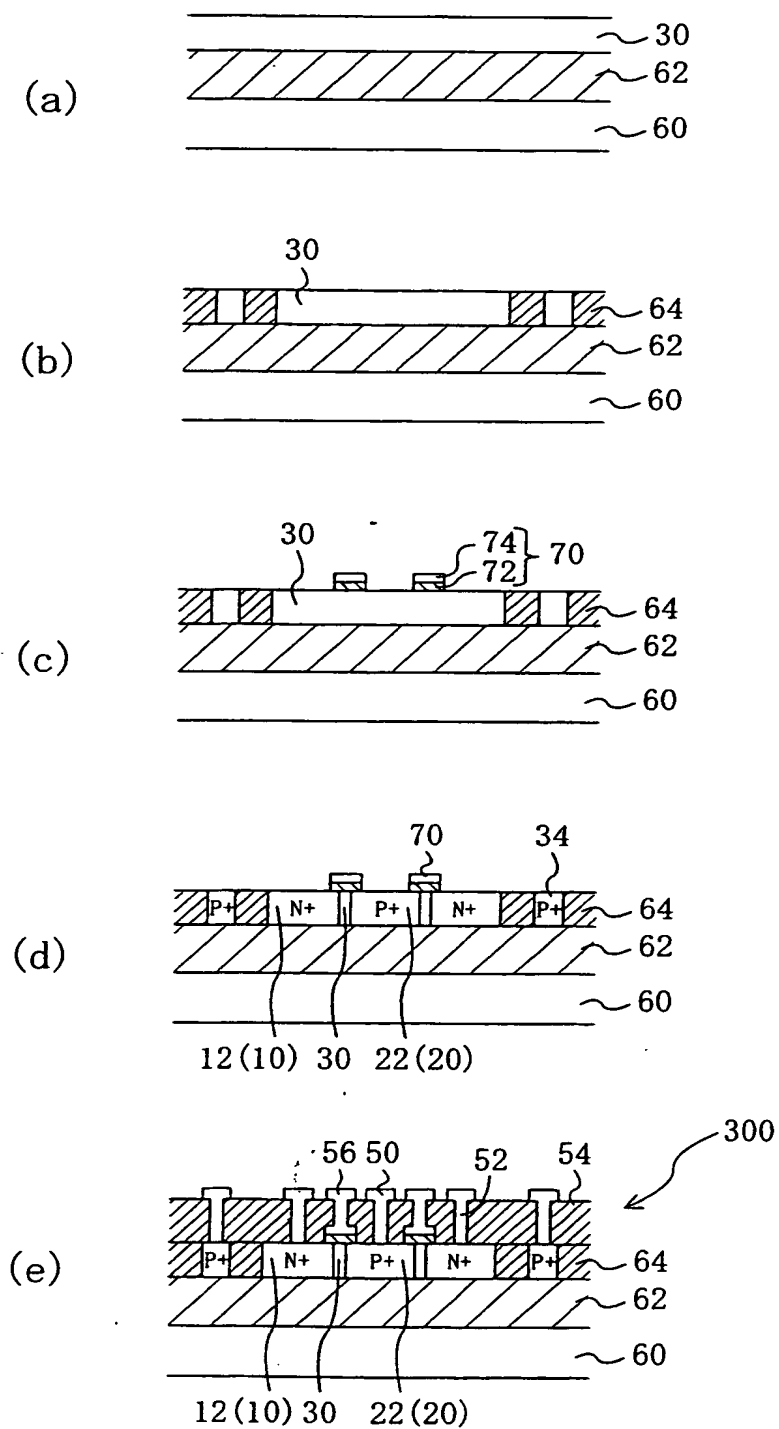
8/13

FIG. 9



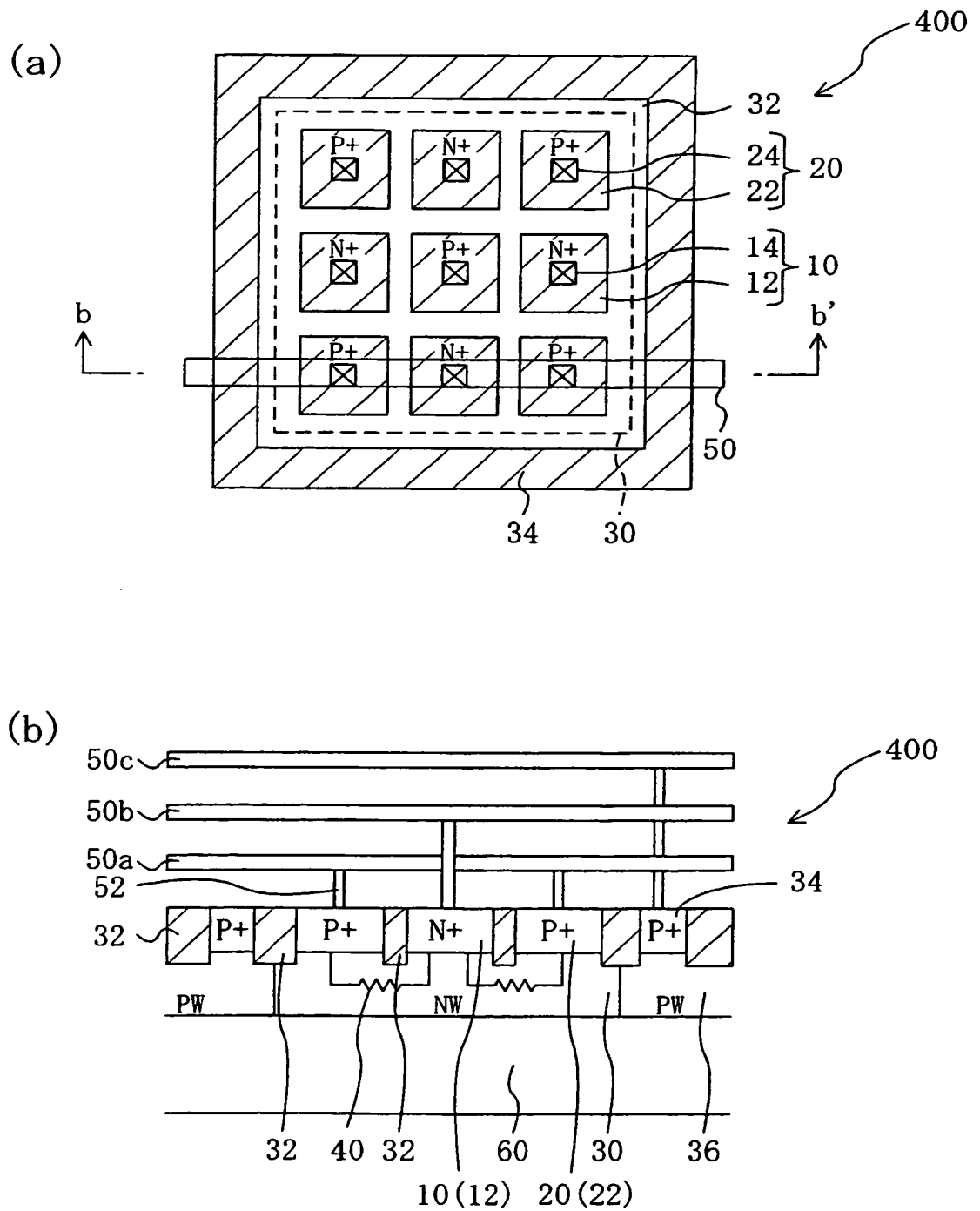
9/13

FIG. 10



10/13

FIG. 11



11/13

FIG. 12

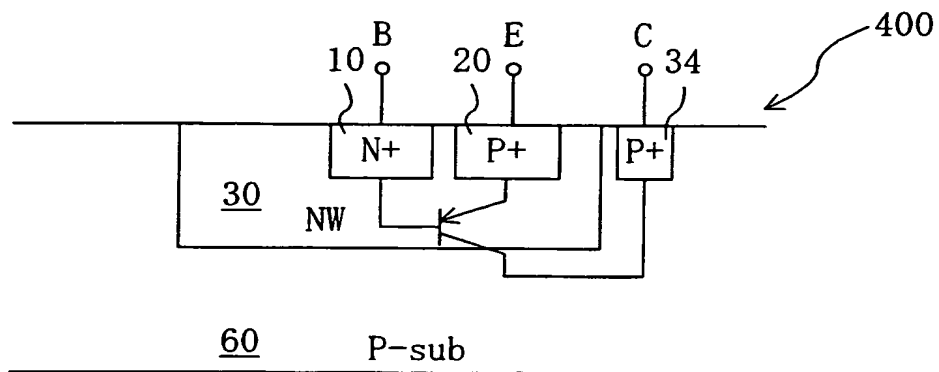
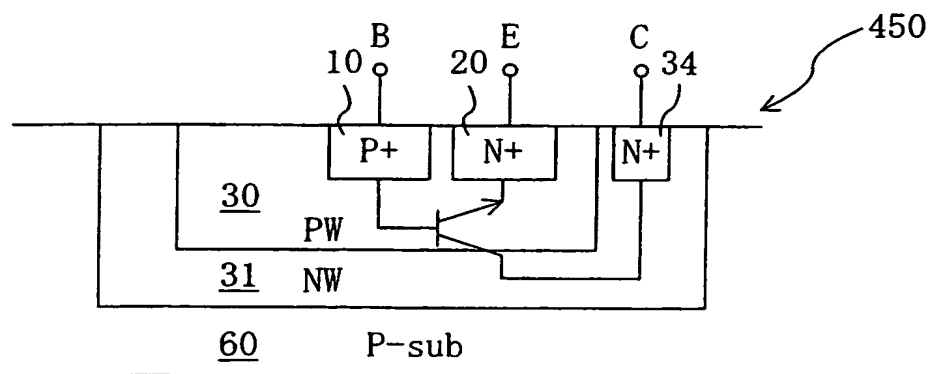
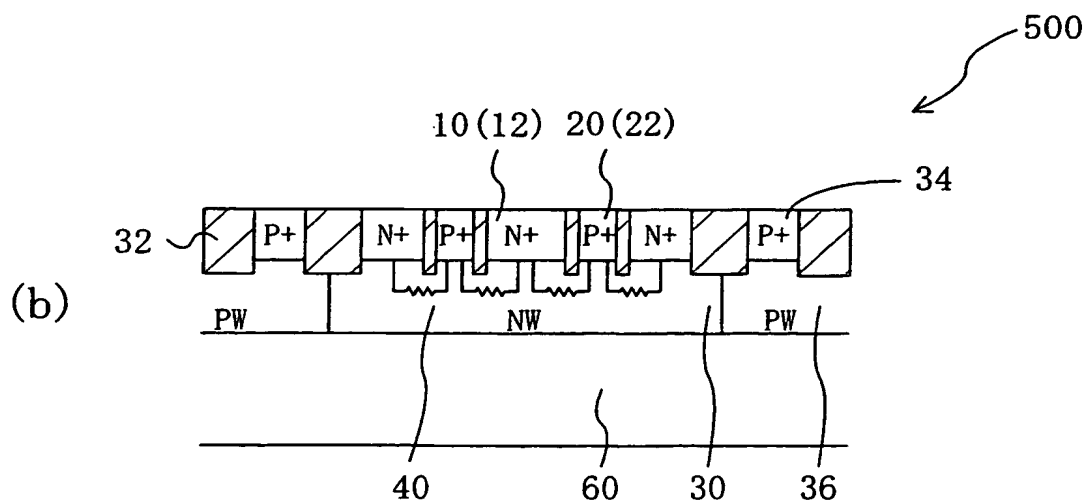
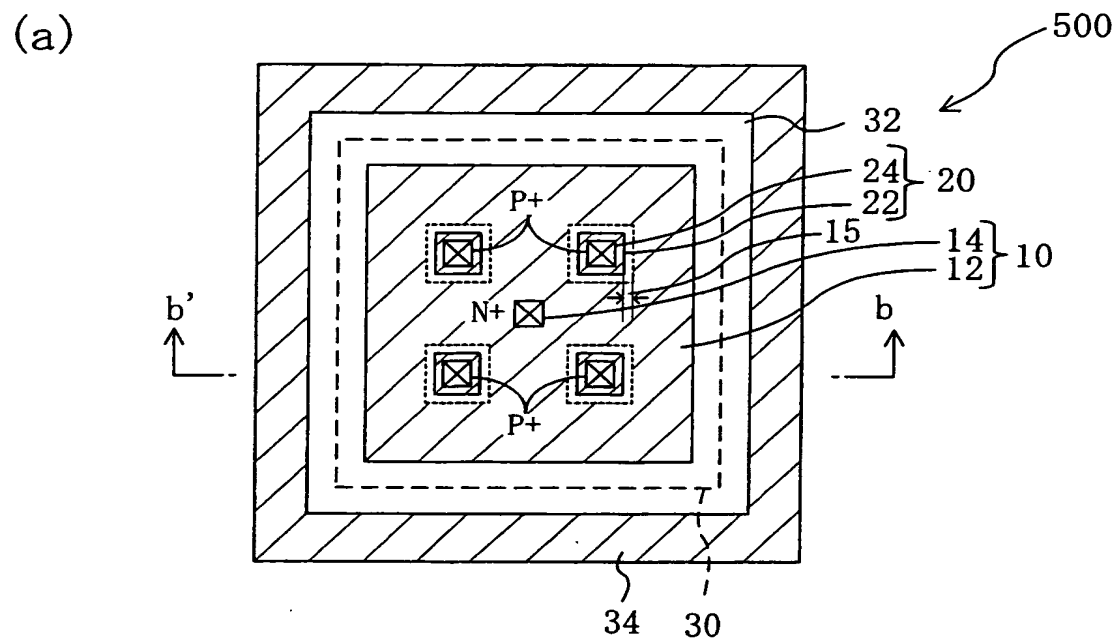


FIG. 13



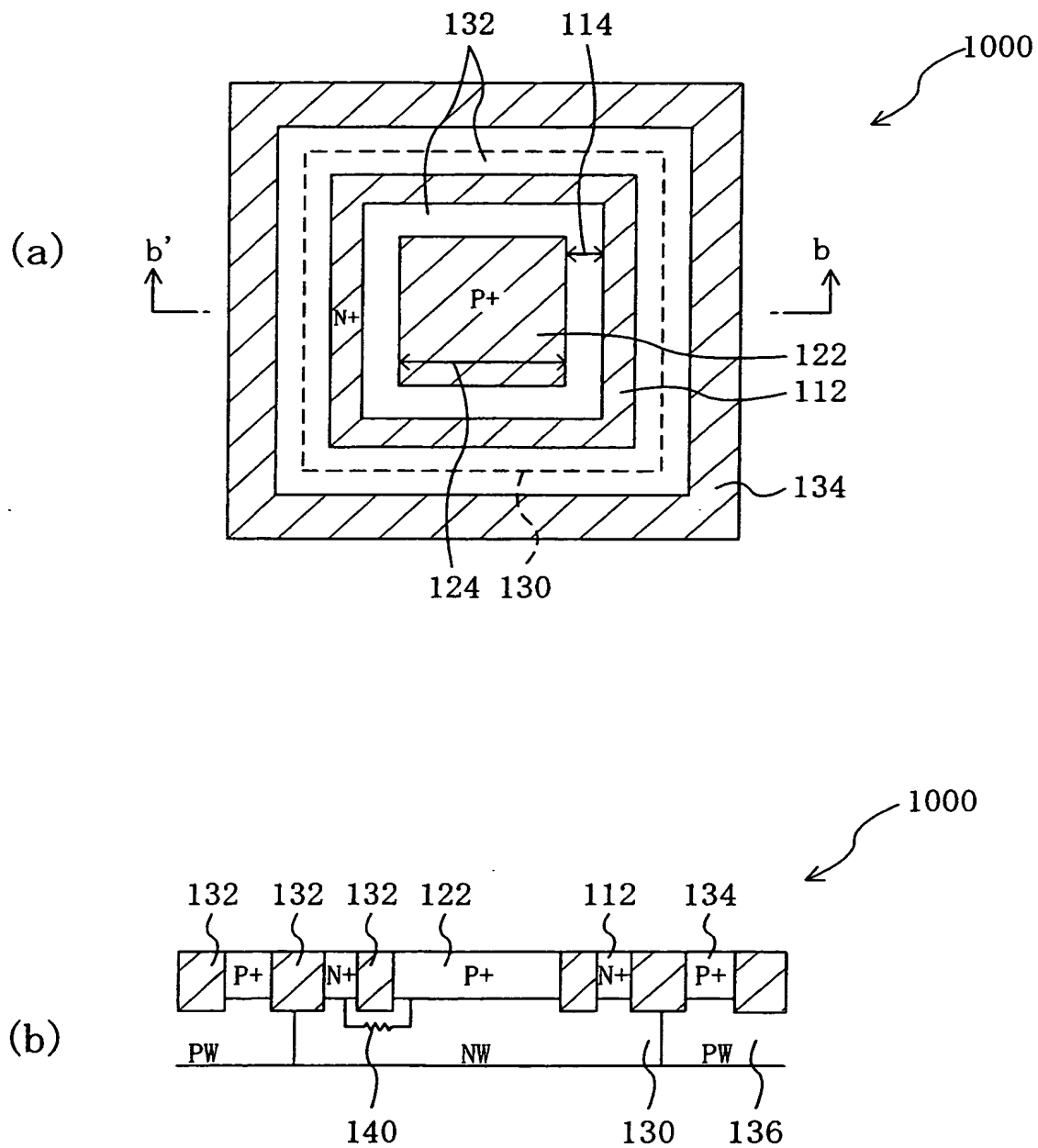
12/13

FIG. 14



13/13

FIG. 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03884

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/861

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/861

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US, 5936265, A (Kabushiki Kaisha Toshiba), 08 October, 1999 (08.10.99), abstract; Figs. 6A-6B abstract; Figs. 6A-6B & JP, 09-260690, A abstract; Fig. 1	1, 3, 4, 6, 7 13
Y	EP, 0367446, A1 (Canon Kabushiki Kaisha), 09 May, 1990 (09.05.90), Column 7, lines 25 to 37; Fig. 7 & JP, 02-111077, A page 4, upper right column, lines 6 to 14; Fig. 6 & US, 5034782, A & US, 5571747, A & US, 5572044, A & EP, 367446, B1 & DE, 68928913, E	1-5, 9, 11-13
Y	JP, 08-167614, A (Fuji Electric Co., Ltd.), 25 June, 1996 (25.06.96), Fig. 1 (Family: none)	1-5, 9, 11-13
X	JP, 05-218056, A (Sharp Corporation), 27 August, 1993 (27.08.93),	8-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* "A"

Special categories of cited documents:
document defining the general state of the art which is not
considered to be of particular relevance

"E"

earlier document but published on or after the international filing
date

"L"

document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)

"O"

document referring to an oral disclosure, use, exhibition or other
means

"P"

document published prior to the international filing date but later
than the priority date claimed

"T"

later document published after the international filing date or
priority date and not in conflict with the application but cited to
understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
12 September, 2000 (12.09.00)Date of mailing of the international search report
26 September, 2000 (26.09.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03884

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	example; Figs. 1 to 2 (Family: none)	
Y	JP, 7-130895, A (Toshiba Corporation), 19 May, 1995 (19.05.95), Par. No. [0002] (Family: none)	13
Y	JP, 10-335678, A (Sony Corporation), 18 December, 1998 (18.12.98), Par. Nos. [0002] to [0003] (Family: none)	13

国際調査報告

国際出願番号 PCT/JPO0/03884

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/861

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/861

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	US, 5936265, A (Kabushiki Kaisha Toshiba) 8. 10月. 1999 (08. 10. 99) 要約, 第6A-6B図 要約, 第6A-6B図 & JP, 09-260690, A, 要約, 図1	1, 3, 4, 6, 7 13
Y	EP, 0367446, A1 (Canon Kabushiki Kaisha) 9. 5月. 1990 (09. 05. 90) 第7欄第25-37行, 図7 & JP, 02-111077, A, 第4頁右上欄第6-14行, 第6図 & US, 5034782, A & US, 5571747, A & US, 5572044, A & EP, 367446, B1 & DE, 68928913, E	1-5, 9, 11-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

12. 09. 00

国際調査報告の発送日

26.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤



4L

9544

電話番号 03-3581-1101 内線 6718

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 08-167614, A (富士電機株式会社) 25. 6月. 1996 (25. 06. 96) 図 1 (ファミリーなし)	1-5, 9, 11-13
X	JP, 05-218056, A (シャープ株式会社) 27. 8月. 1993 (27. 08. 93) 【実施例】 , 図 1 - 2 (ファミリーなし)	8-11
Y	JP, 7-130895, A (株式会社東芝) 19. 5月. 1995 (19. 05. 95) 【0002】 (ファミリーなし)	13
Y	JP, 10-335678, A (ソニー株式会社) 18. 12月. 1998 (18. 12. 98) 【0002】 - 【0003】 (ファミリーなし)	13